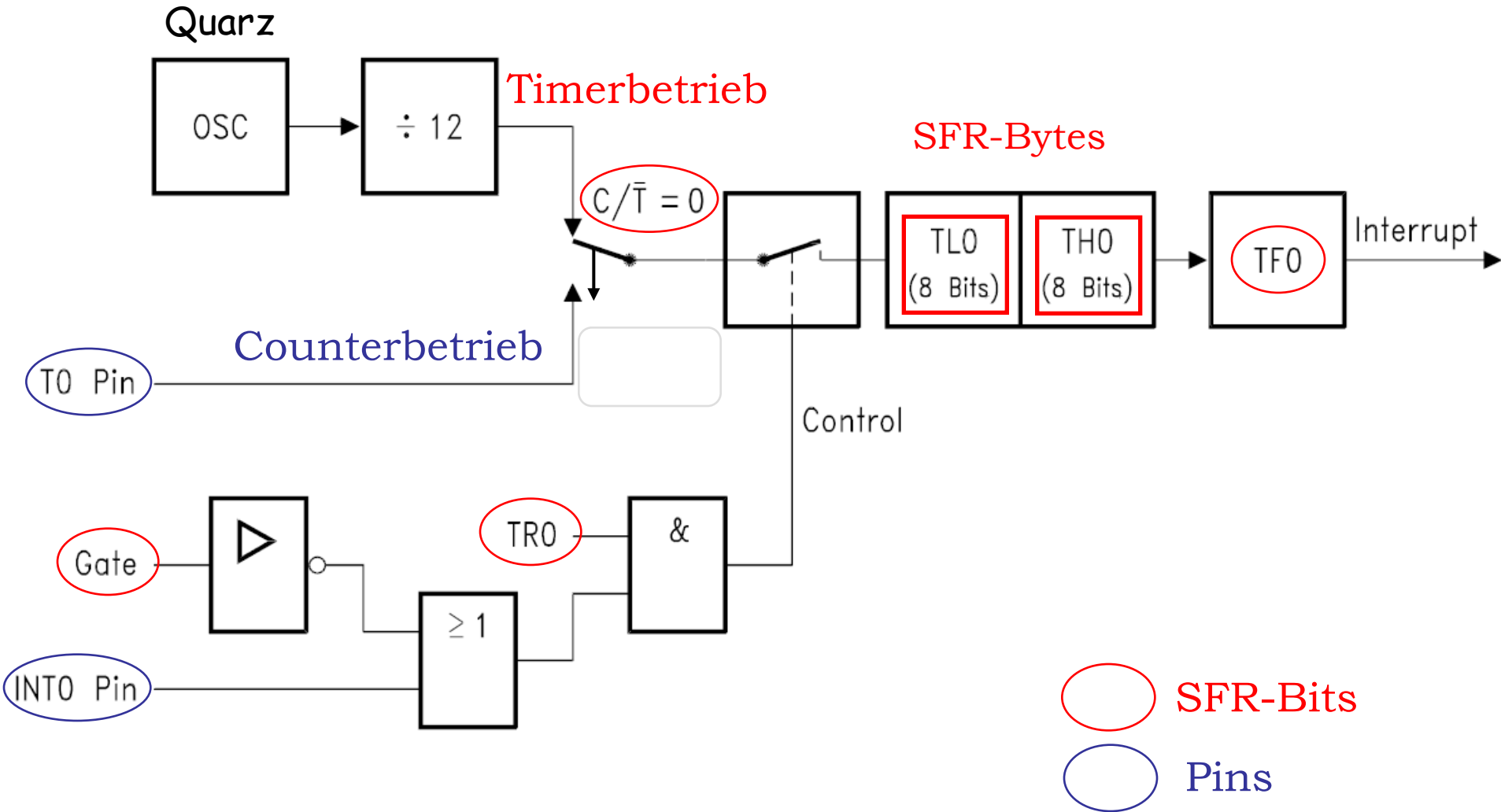
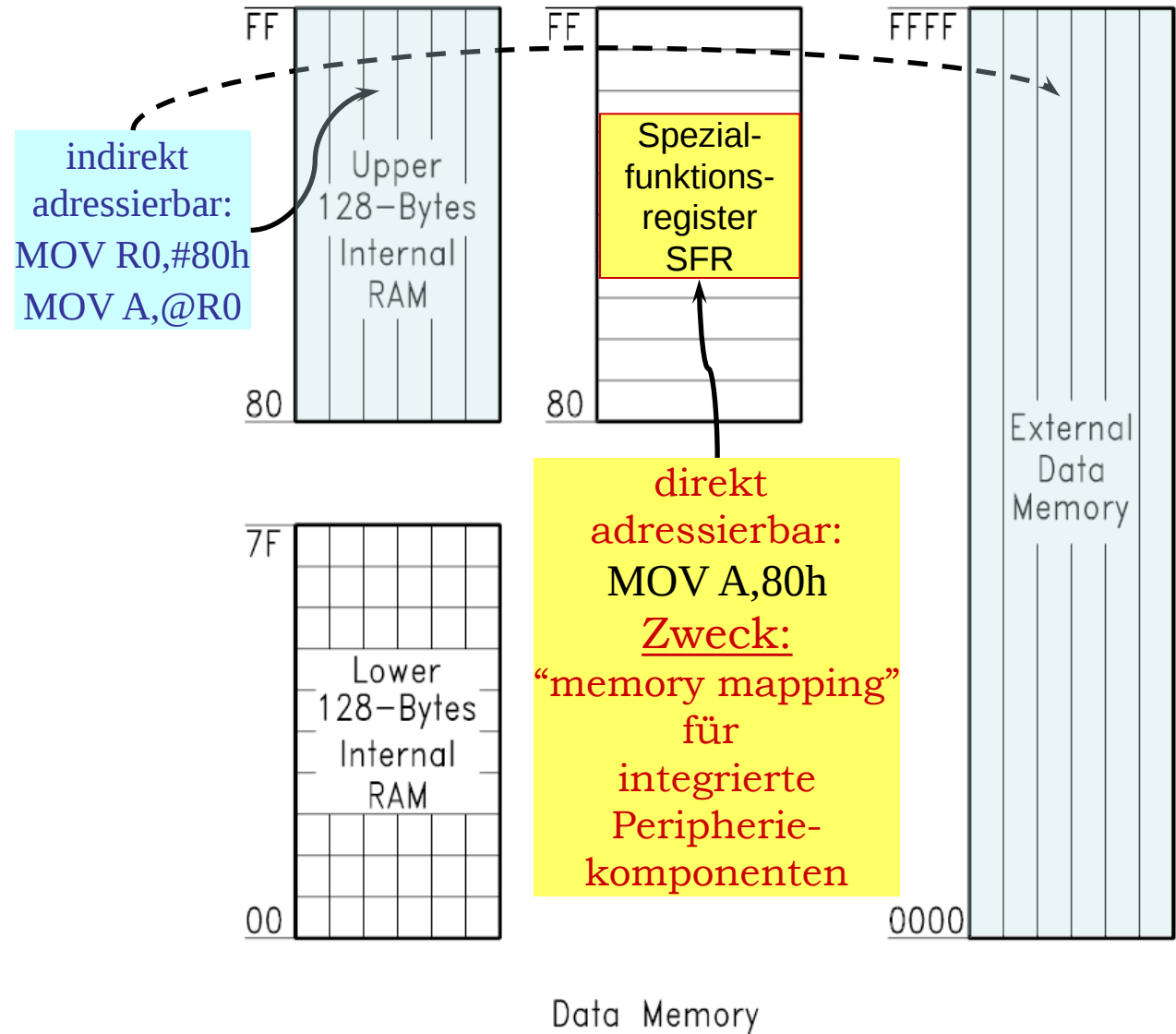


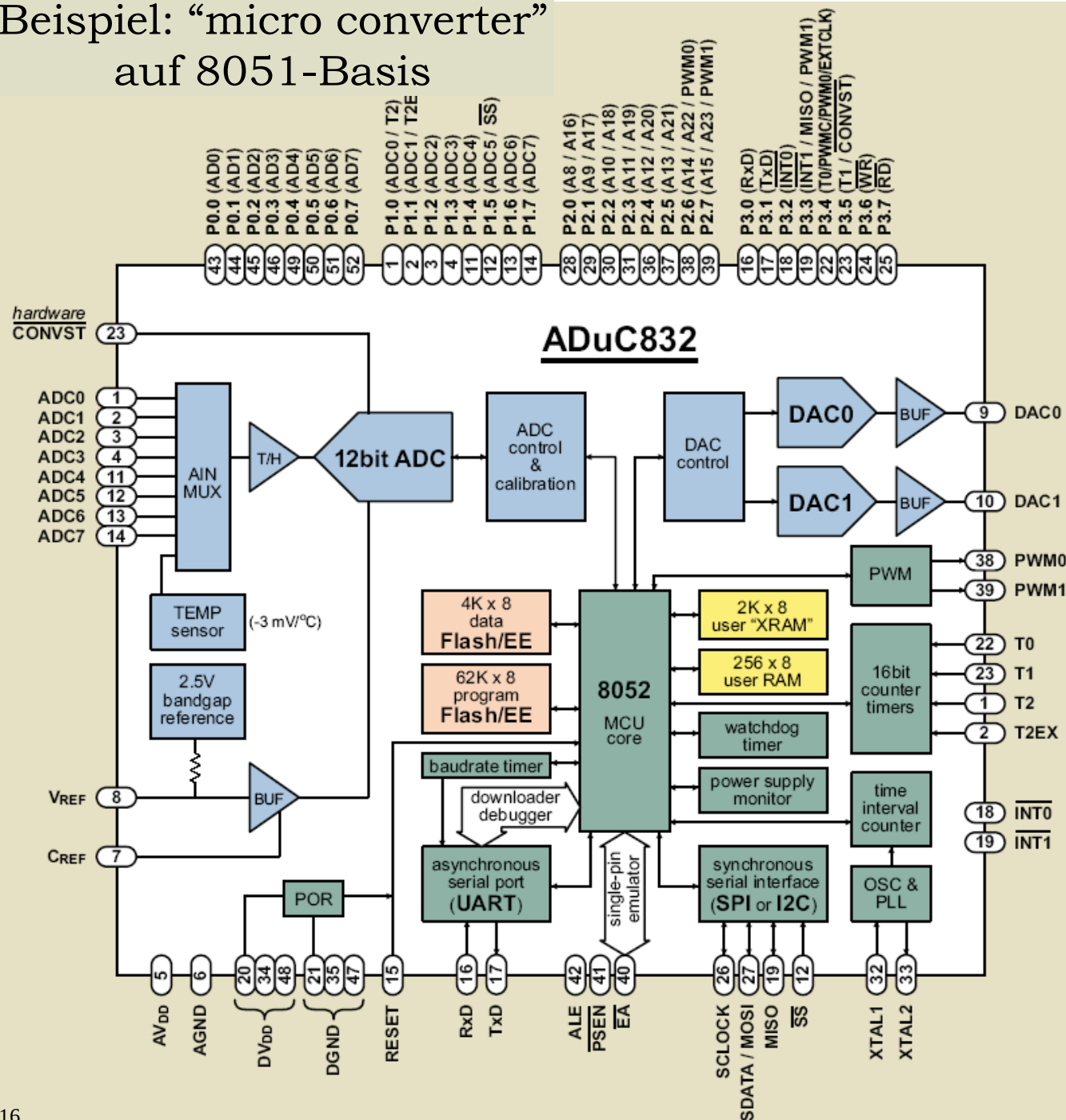
Blockschaltbild zur Funktion von Timer 'T0' in der Betriebsart 1



Typische Speicherstruktur konventioneller Mikrocontroller



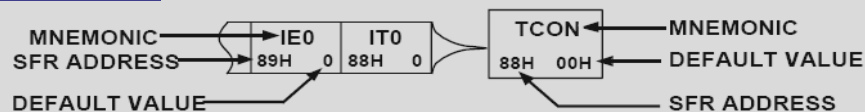
Beispiel: "micro converter" auf 8051-Basis



ISPI FFH 0	WCOL FEH 0	SPE FDH 0	SPIM FCH 0	CPOL FBH 0	CPHA FAH 1	SPR1 F9H 0	SPR0 F8H 0	BITS	SPICON ¹ F8H 04H	DAC0L F9H 00H	DAC0H FAH 00H	DAC1L FBH 00H	DAC1H FCH 00H	DACCON FDH 04H	RESERVED	RESERVED
F7H 0	F6H 0	F5H 0	F4H 0	F3H 0	F2H 0	F1H 0	F0H 0	BITS	B ¹ F0H 00H	ADCOFSL ³ F1H 00H	ADCOFSH ³ F2H 20H	ADCGAINL ³ F3H 00H	ADCGAINH ³ F4H 00H	ADCCON3 F5H 00H	RESERVED	SPIDAT F7H 00H
I2CSI/MDO EFH 0	I2CGC/MDE EEH 0	I2C1O1MCO EDH 0	I2C100/MDI ECH 0	I2CM EBH 0	I2CRS EAH 0	I2CTX E9H 0	I2CI E8H 0	BITS	I2CCON ¹ E8H 00H	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	ADCCON1 EFH 40H
E7H 0	E6H 0	E5H 0	E4H 0	E3H 0	E2H 0	E1H 0	E0H 0	BITS	ACC ¹ E0H 00H	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
ADCI DFH 0	DMA DEH 0	CCONV DDH 0	SCONV DCH 0	CS3 DBH 0	CS2 DAH 0	CS1 D9H 0	CS0 D8H 0	BITS	ADCCON2 ¹ D8H 00H	ADCDATAL D9H 00H	ADCDATAH DAH 00H	RESERVED	RESERVED	RESERVED	RESERVED	PSMCON DFH DEH
CY D7H 0	AC D6H 0	F0 D5H 0	RS1 D4H 0	RS0 D3H 0	OV D2H 0	FI D1H 0	P D0H 0	BITS	PSW ¹ D0H 00H	RESERVED	DMAL D2H 00H	DMAH D3H 00H	DMAH D4H 00H	RESERVED	RESERVED	PLLCON D7H 53H
TF2 CFH 0	EXF2 CEH 0	RCLK CDH 0	TCLK CCH 0	EXEN2 CBH 0	TR2 CAH 0	CNT2 C9H 0	CAP2 C8H 0	BITS	T2CON ¹ C8H 00H	RESERVED	RCAP2L CAH 00H	RCAP2H CBH 00H	TL2 CCH 00H	TH2 CDH 00H	RESERVED	RESERVED
PRE3 C7H 0	PRE2 C6H 0	PRE1 C5H 0	PRE0 C4H 1	WDIR C3H 0	WDS C2H 0	WDE C1H 0	WDWR C0H 0	BITS	WDCON ¹ C0H 10H	RESERVED	CHIPID C2H XXH	RESERVED	RESERVED	RESERVED	EDARL C6H 00H	EDARH C7H 00H
PSI BFH 0	PADC BEH 0	PT2 BDH 0	PS BCH 0	PT1 BBH 0	PX1 BAH 0	PT0 B9H 0	PX0 B8H 0	BITS	IP ¹ B8H 00H	ECON B9H 00H	RESERVED	RESERVED	EDATA1 BCH 00H	EDATA2 BDH 00H	EDATA3 BEH 00H	EDATA4 BFH 00H
RD B7H 1	WR B6H 1	T1 B5H 1	T0 B4H 1	INT1 B3H 1	INT0 B2H 1	TxD B1H 1	RxD B0H 1	BITS	P3 ¹ B0H FFH	PWM0L B1H 00H	PWM0H B2H 00H	PWM1L B3H 00H	PWM1H B4H 00H	NOT USED	NOT USED	SPH B7H 00H
EA AFH 0	EADC AEH 0	ET2 ADH 0	ES ACH 0	ET1 ABH 0	EX1 AAH 0	ET0 A9H 0	EX0 A8H 0	BITS	IE ¹ A8H 00H	IEIP2 A9H A0H	RESERVED	RESERVED	RESERVED	RESERVED	PWMCON AEH 00H	CFG841/ CFG842 AFH 00H
A7H 1	A6H 1	A5H 1	A4H 1	A3H 1	A2H 1	A1H 1	A0H 1	BITS	P2 ¹ A0H FFH	TIMECON A1H 00H	HTHSEC A2H 00H	SEC A3H 00H	MIN A4H 00H	HOUR A5H 00H	INTVAL A6H 00H	DPCON A7H 00H
SM0 9FH 0	SM1 9EH 0	SM2 9DH 0	REN 9CH 0	TB8 9BH 0	RB8 9AH 0	TI 99H 0	RI 98H 0	BITS	SCON ¹ 98H 00H	SBUF 99H 00H	I2CDAT 9AH 00H	I2CADD 9BH 55H	NOT USED	T3FD 9DH 00H	T3CON 9EH 00H	NOT USED
97H 1	96H 1	95H 1	94H 1	93H 1	92H 1	T2EX 91H 1	T2 90H 1	BITS	P1 ^{1,2} 90H FFH	I2CADD1 91H 7FH	I2CADD2 92H 7FH	I2CADD3 93H 7FH	NOT USED	NOT USED	NOT USED	NOT USED
TF1 8FH 0	TR1 8EH 0	TF0 8DH 0	TR0 8CH 0	IE1 8BH 0	IT1 8AH 0	IE0 89H 0	IT0 88H 0	BITS	TCON ¹ 88H 00H	TMOD 89H 00H	TL0 8AH 00H	TL1 8BH 00H	TH0 8CH 00H	TH1 8DH 00H	RESERVED	RESERVED
87H 1	86H 1	85H 1	84H 1	83H 1	82H 1	81H 1	80H 1	BITS	P0 ¹ 80H FFH	SP 81H 07H	DPL 82H 00H	DPH 83H 00H	DPP 84H 00H	RESERVED	RESERVED	PCON 87H 00H

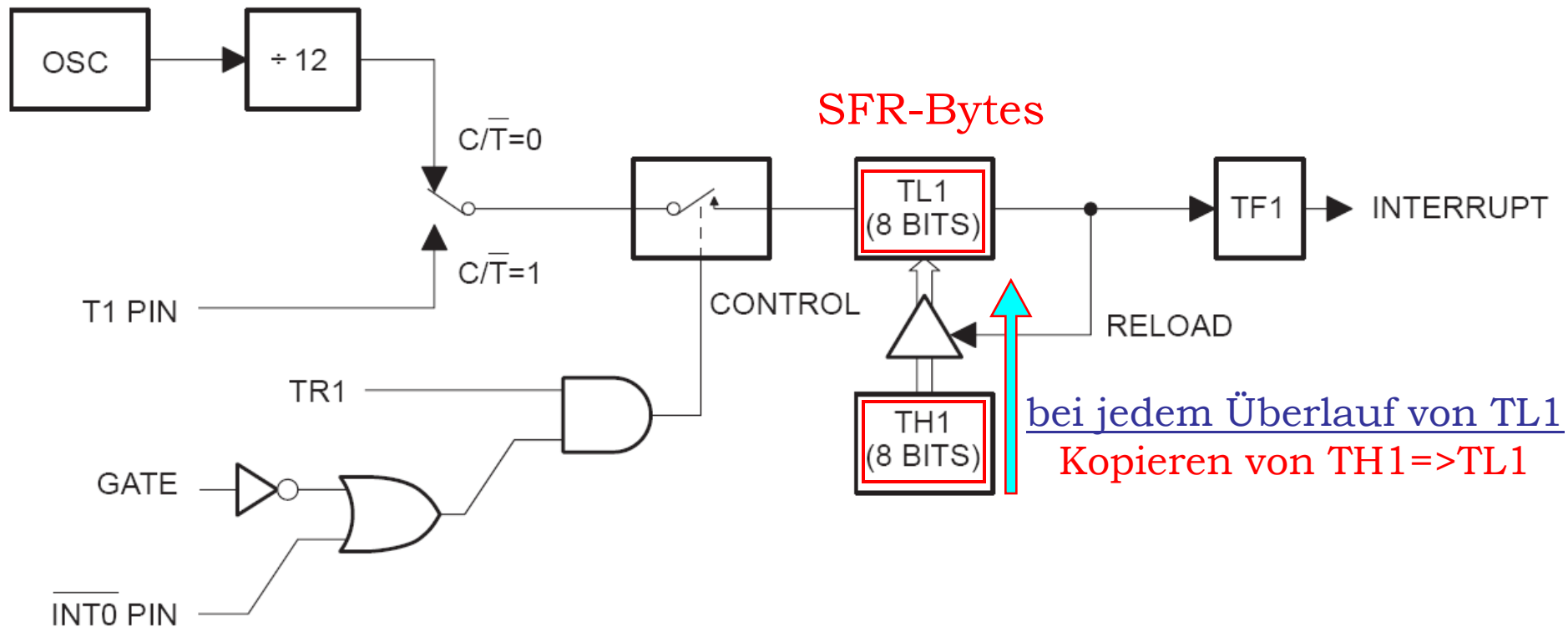
SFR-Übersicht des ADuC842

THESE BITS ARE CONTAINED IN THIS BYTE.



Blockschaltbild zur Funktion von Timer „T1“ in der Betriebsart 2

‘Autoreload‘



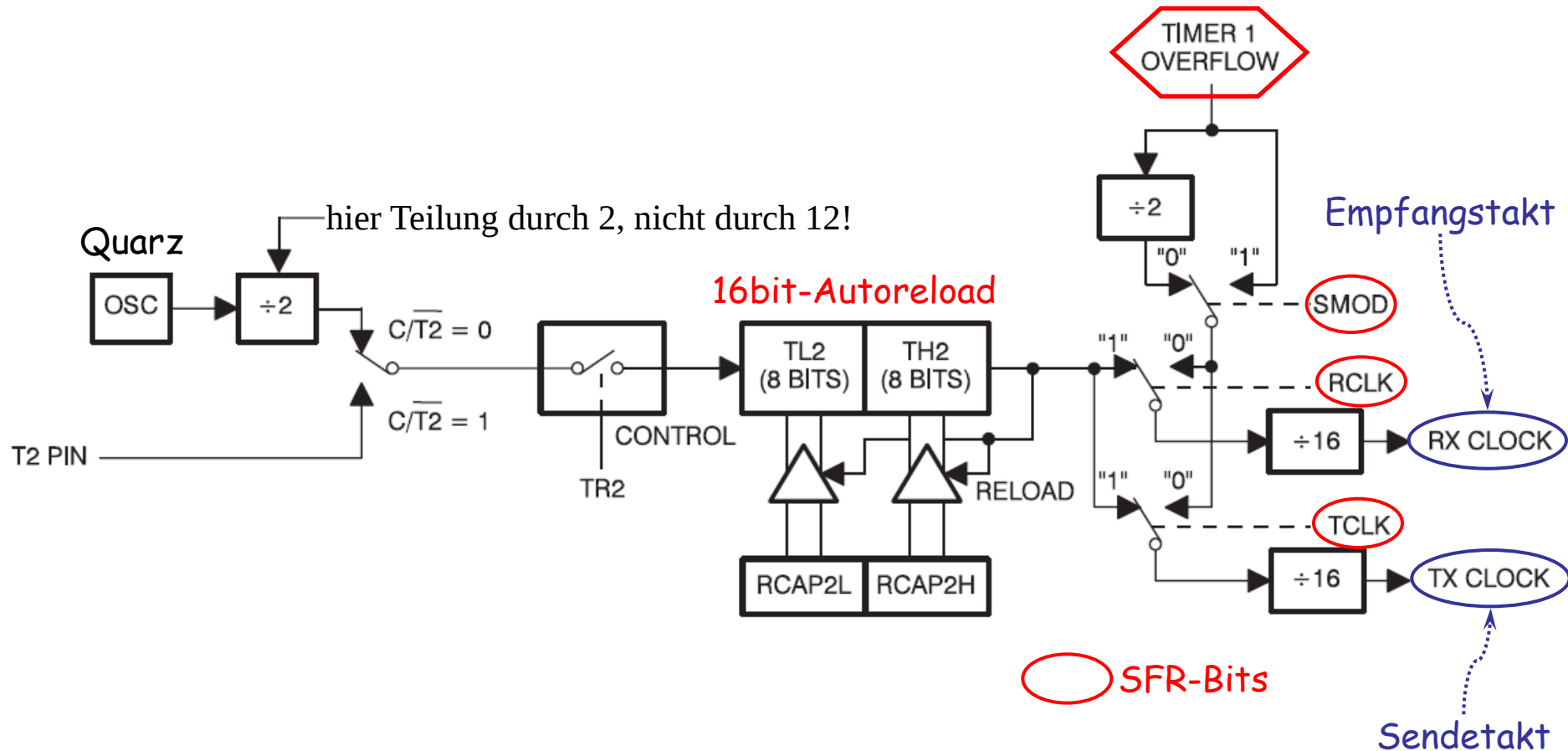
Skript S. 61ff.



Skript S. 61ff.



Timer T2 als Baudratengenerator für die serielle Schnittstelle ggf. zusammen mit **Timer T1**



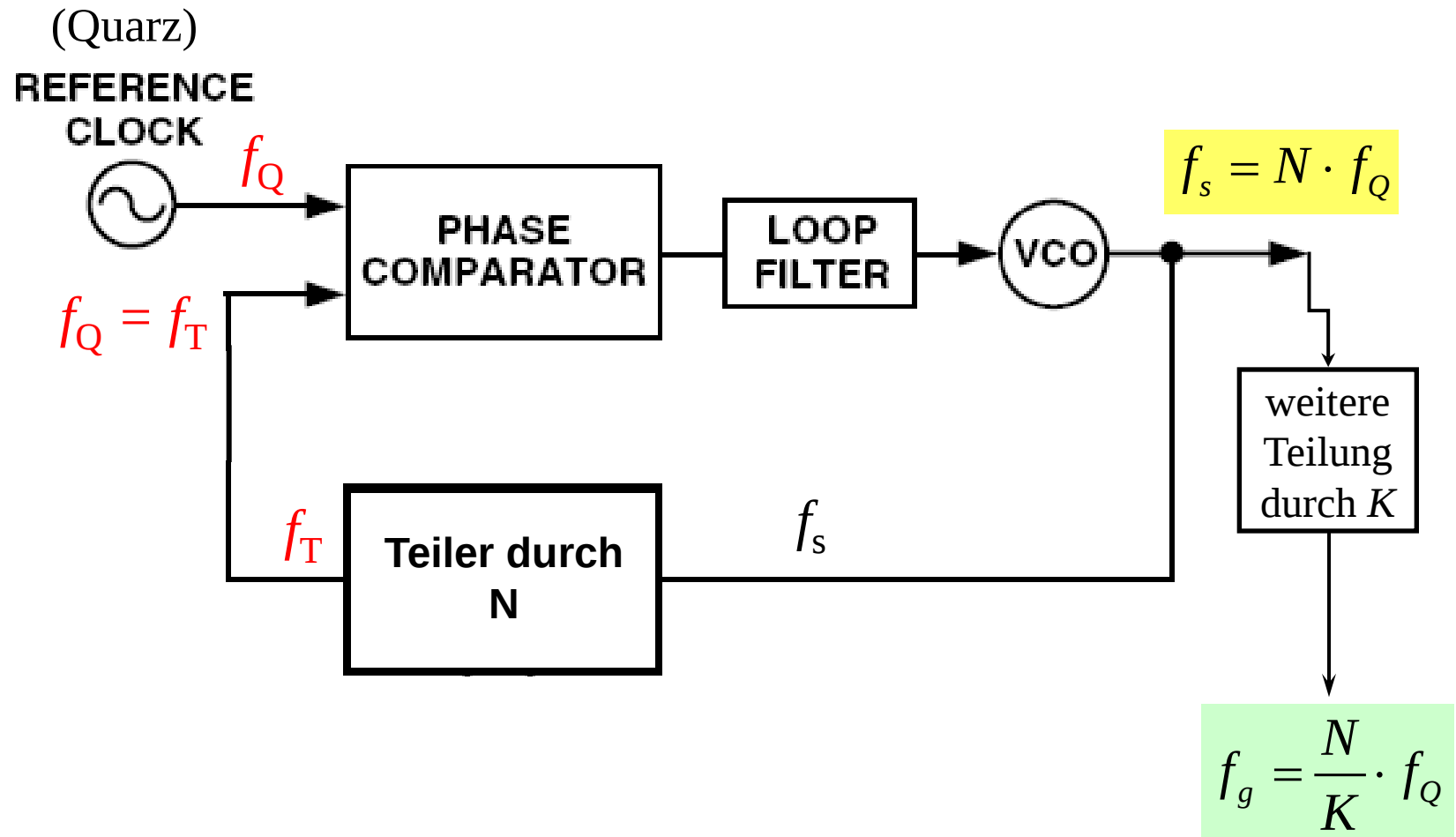
Beispiel ADuC8xx: Mittels PLL wird eine Uhrenquarzfrequenz von $2^{15}\text{Hz} = 32,768\text{kHz}$ mit dem Faktor $2^9=512$ multipliziert.
 Dann ist die „Kerntaktfrequenz“ $f_c = 2^{24}\text{Hz} \approx 16,8\text{MHz}$
 f_c kann bei Bedarf durch programmierbare Binärteiler verkleinert werden

Baudrate:

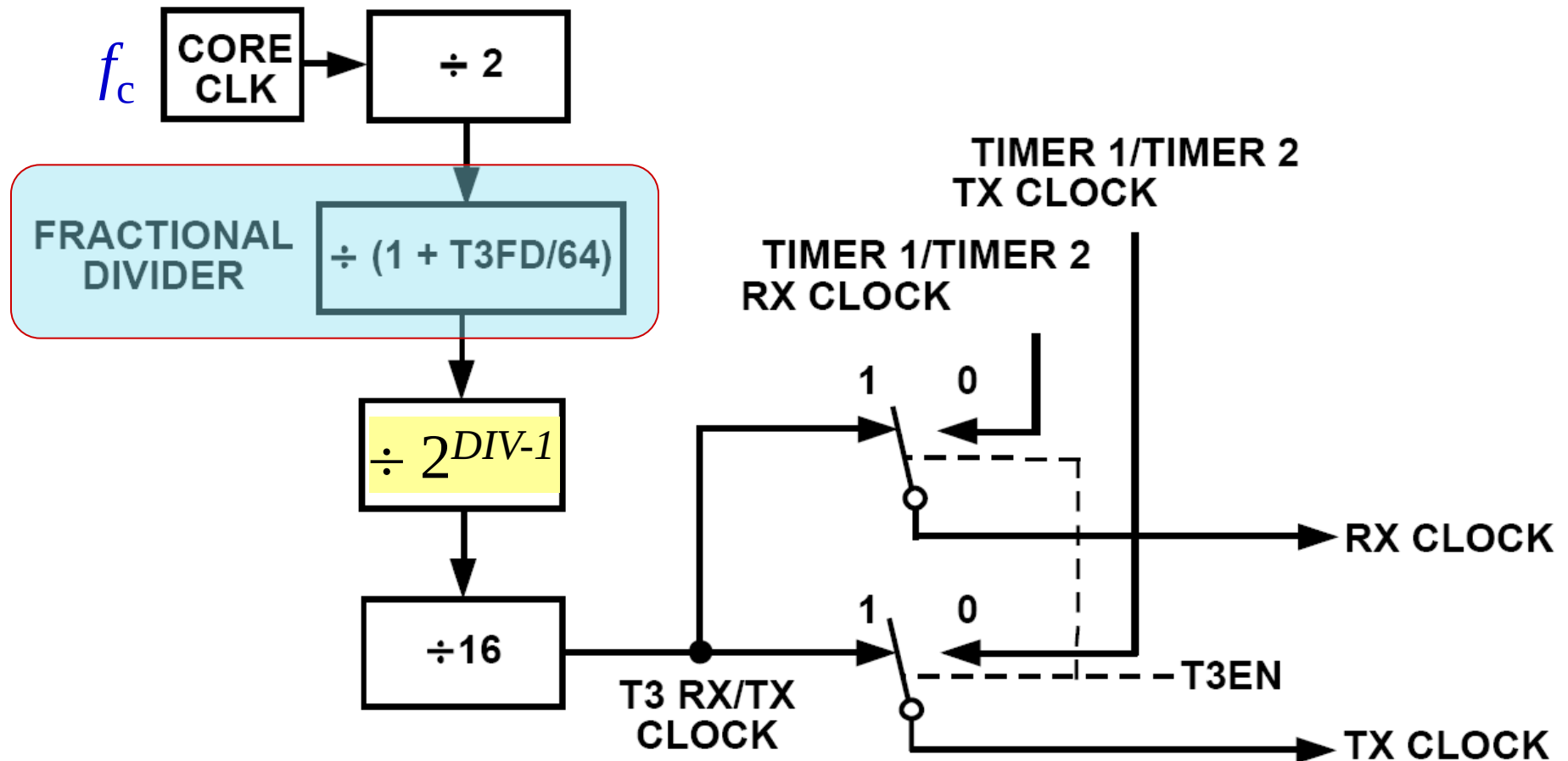
$$b = \frac{f_c}{32 \cdot (2^{16} - RCAP2H, RCAP2L)}$$

einige gebräuchliche mit Timer 2 erzeugbare Baudraten (ADuC832)					
Idealwert der Baudrate	Kerntakt (MHz)	RCAP2H HEX	RCAP2L HEX	realer Wert der Baudrate	Fehler in %
19200	16,777216	FF	E5	19418	+1,135
9600	16,777216	FF	C9	9532,51	−0,703
4800	16,777216	FF	93	4809,98	+0,208
2400	16,777216	FF	26	2404,99	+0,208
1200	16,777216	FE	4B	1199,74	−0,0213
9600	2,097152	FF	F9	9362,29	−2,476
4800	2,097152	FF	F2	4681,14	−2,476
2400	2,097152	FF	E5	2427,26	+1,135
1200	2,097152	FF	C9	1191,56	−0,703

Standard-PLL zur Frequenzsynthese (N, K ganzzahlig)



Ein spezieller Timer mit 'Fraktionalteiler' zur flexibeln Baudratenerzeugung (T3 im ADuC832)



$$\text{Baudrate: } b = \frac{f_c}{32 \cdot 2^{DIV-1} \left[1 + \frac{T3FD}{64} \right]} = \frac{2f_c}{2^{DIV-1} \cdot (T3FD + 64)}$$

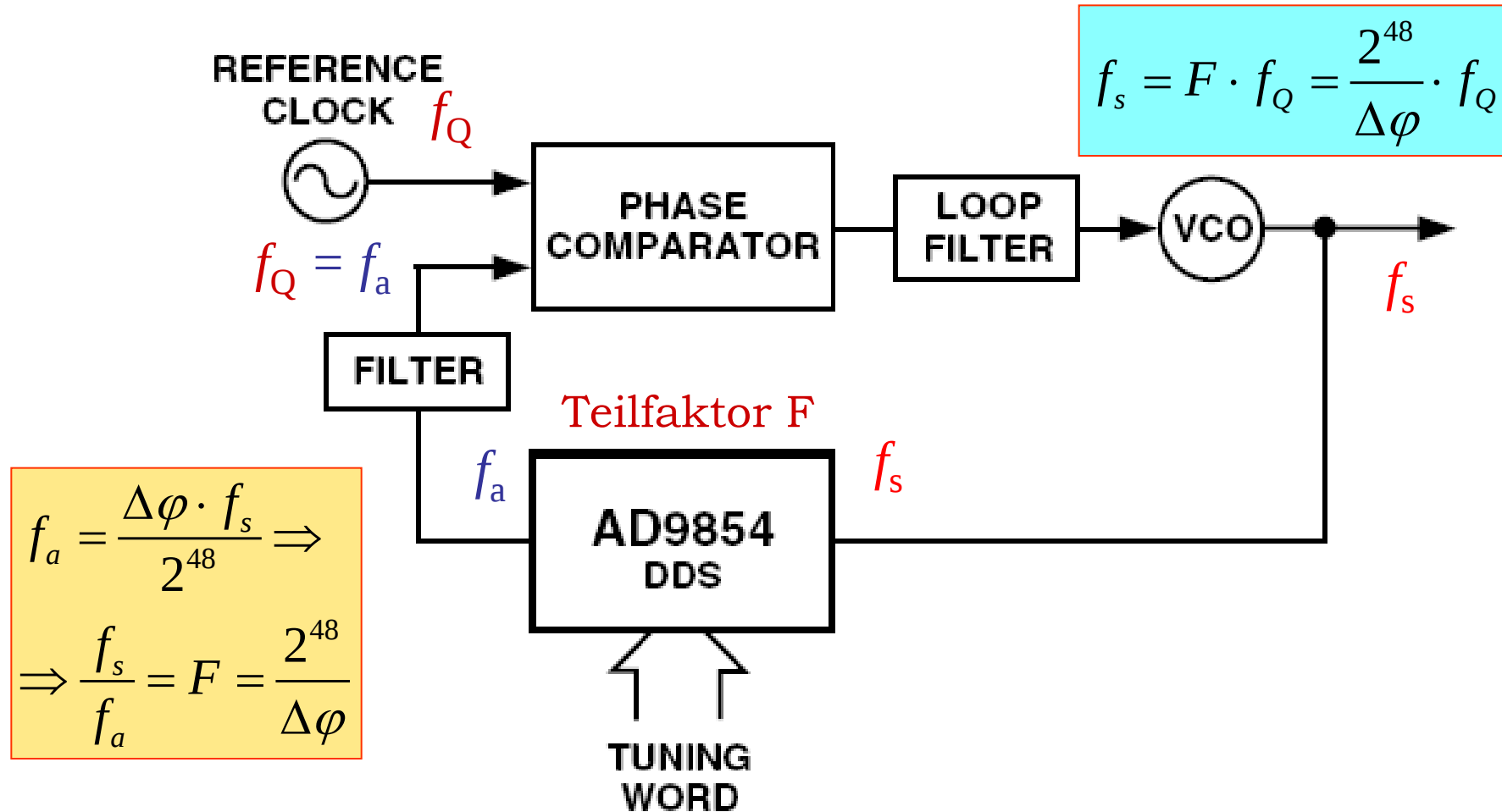
Bit	Name	Beschreibung			
7	T3BAUDEN	T3 UART BAUD ENABLE Bit: Selektiert Timer 3 als Baudratengenerator. Wenn es gesetzt wird, werden die Bits PCON.7, T2CON.4 und T2CON.5 ignoriert. Wenn es “0” ist, erfolgt die Baudratengenerierung wie in einem Standard-8052-Mikrocontroller			
6		–			
5		–			
4		–			
3		–			
2	DIV2	binärer Teilfaktor			
1	DIV1	DIV2	DIV1	DIV0	Teilfaktor
0	DIV0	0	0	0	1
das SFR T3CON im ADuC8xx		0	0	1	2
		0	1	0	4
		0	1	1	8
		1	0	0	16
		1	0	1	32
		1	1	0	64
		1	1	1	128

Einige Möglichkeiten der Baudratenerzeugung mit Timer 3 (ADuC832)

ideale Baudrate								
	CD	f _c /MHz	DIV	2 ^{DIV-1}	T3CON	T3FD	reale Baudrate	Fehler in %
230.400	0	16,77	2	2	82H	09H	229.825	-0,25
115200	0	16,77	3	4	83H	09H	114.912	-0,25
115200	1	8,388	2	2	82H	09H	114.912	-0,25
115200	2	4,194	1	1	81H	09H	114.912	-0,25
57600	0	16,77	4	8	84H	09H	57.456	-0,25
57600	1	8,388	3	4	83H	09H	57.456	-0,25
57600	2	4,194	2	2	82H	09H	57.456	-0,25
57600	3	2,097	1	1	81H	09H	57.456	-0,25
38400	0	16,77	4	8	84H	2DH	38.480	0,208
38400	1	8,388	3	4	83H	2DH	38.480	0,208
38400	2	4,194	2	2	82H	2DH	38.480	0,208
38400	3	2,097	1	1	81H	2DH	38.480	0,208
19200	0	16,77	5	16	85H	2DH	19.240	0,208
19200	1	8,388	4	8	84H	2DH	19.240	0,208
19200	2	4,194	3	4	83H	2DH	19.240	0,208
19200	3	2,097	2	2	82H	2DH	19.240	0,208
19200	4	1,048	1	1	81H	2DH	19.240	0,208
9600	0	16,77	6	32	86H	2DH	9.620	0,208
9600	1	8,388	5	16	85H	2DH	9.620	0,208
9600	2	4,194	4	8	84H	2DH	9.620	0,208
9600	3	2,097	3	4	83H	2DH	9.620	0,208
9600	4	1,048	2	2	82H	2DH	9.620	0,208
9600	5	0,524	1	1	81H	2DH	9.620	0,208

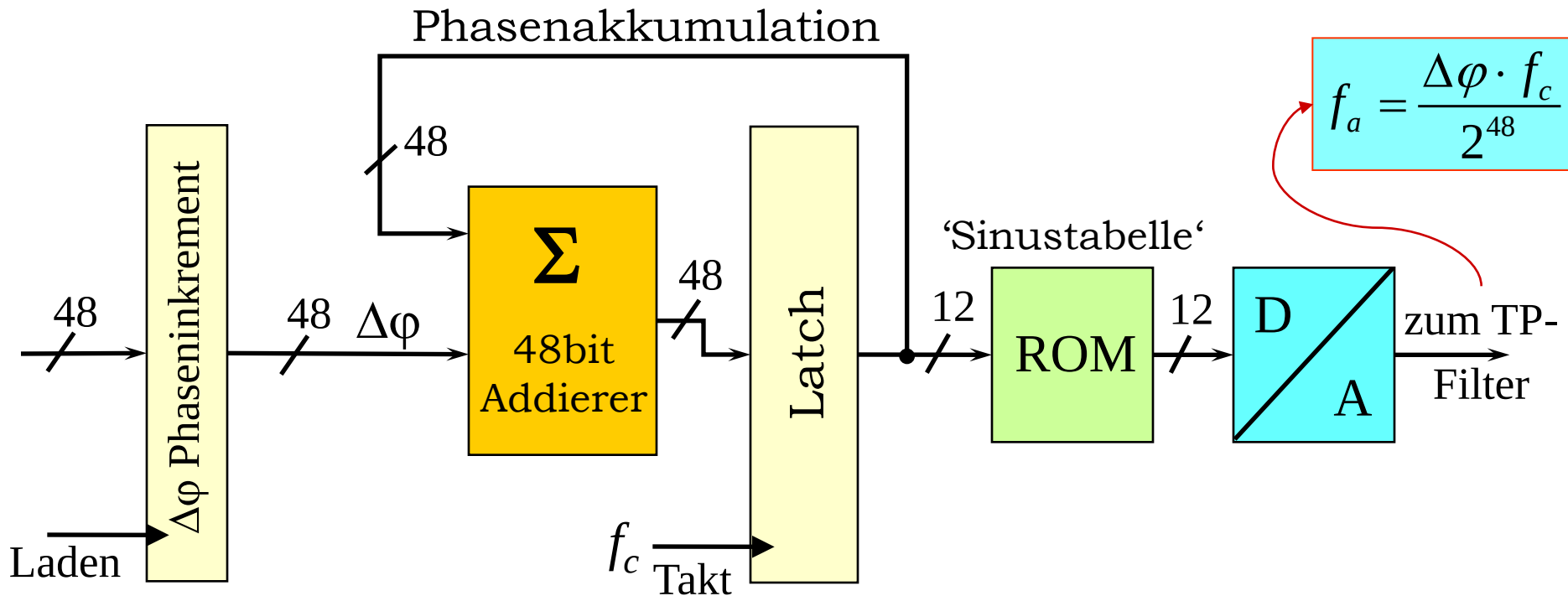
Grundlagen der 'fraktionalen' Frequenzsynthese mit feinstufigem Faktor F : PLL kombiniert mit **DDS**

- Direkter Digitaler Synthesizer – => Kap. 4.2, S. 111



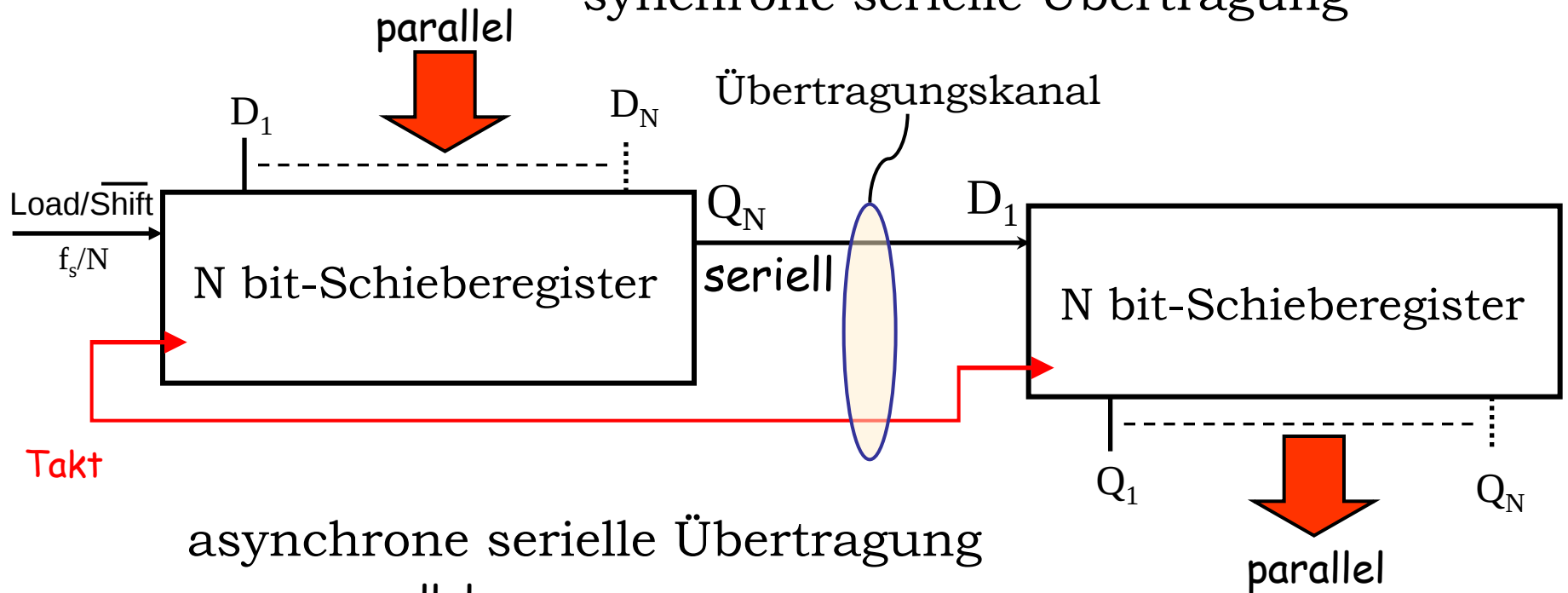
$\Delta\varphi \in \{1 \dots 2^{48}\} \Rightarrow 281.474.976.710.656$ Schritte sind möglich
Billionen

Grundaufbau eines direkten digitalen Synthesizers (DDS)

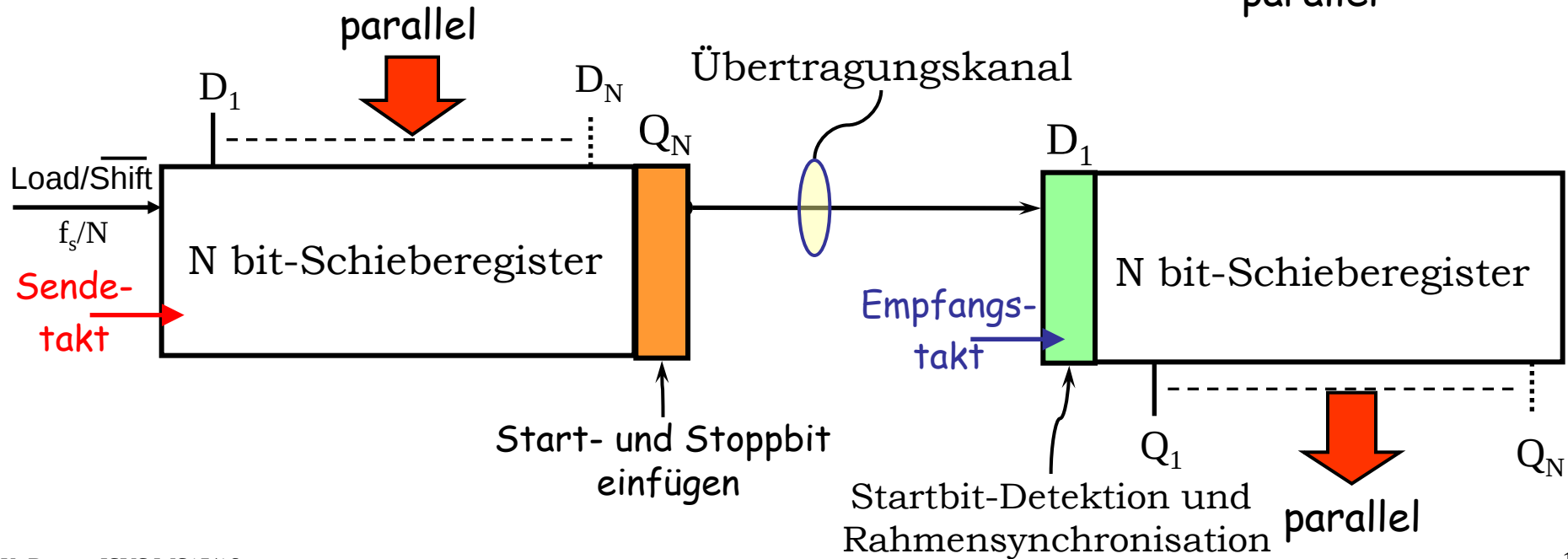


detaillierte Analyse folgt im Kapitel 4:
“Digitale Frequenzsynthese“

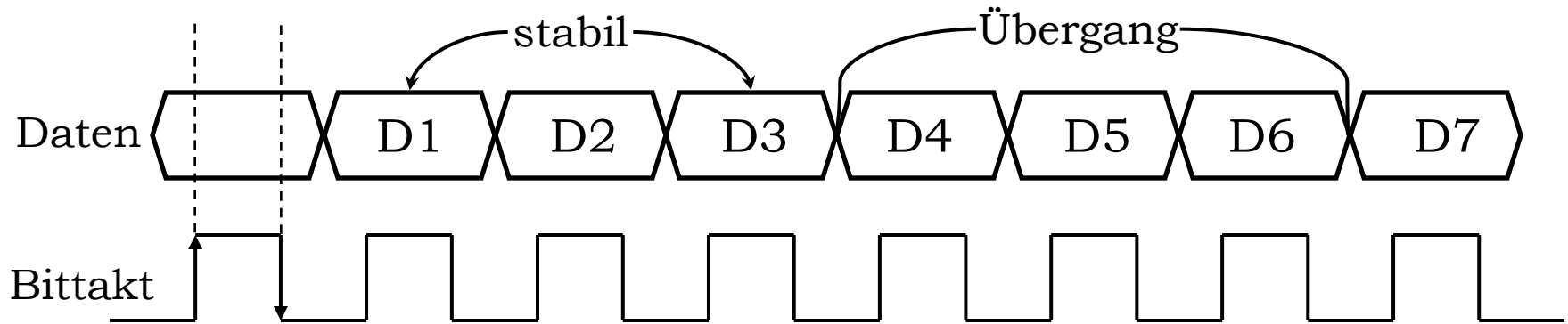
synchrone serielle Übertragung



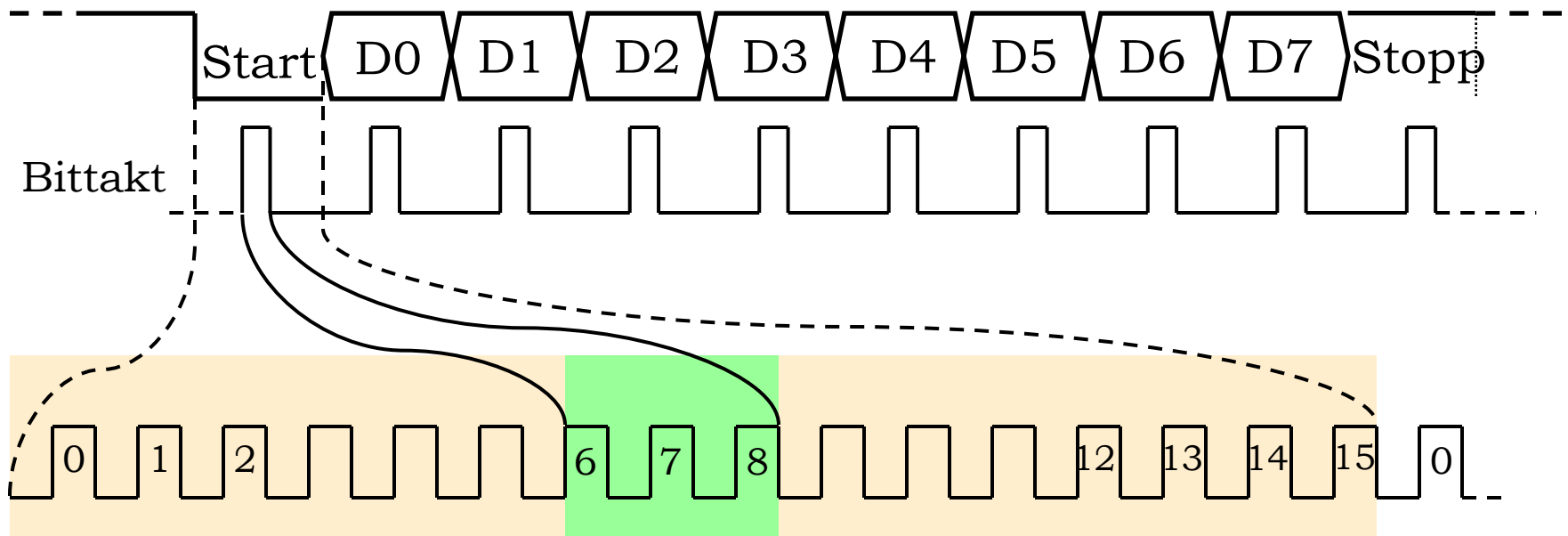
asynchrone serielle Übertragung



Signalverlauf und Taktung bei synchroner serieller Übertragung

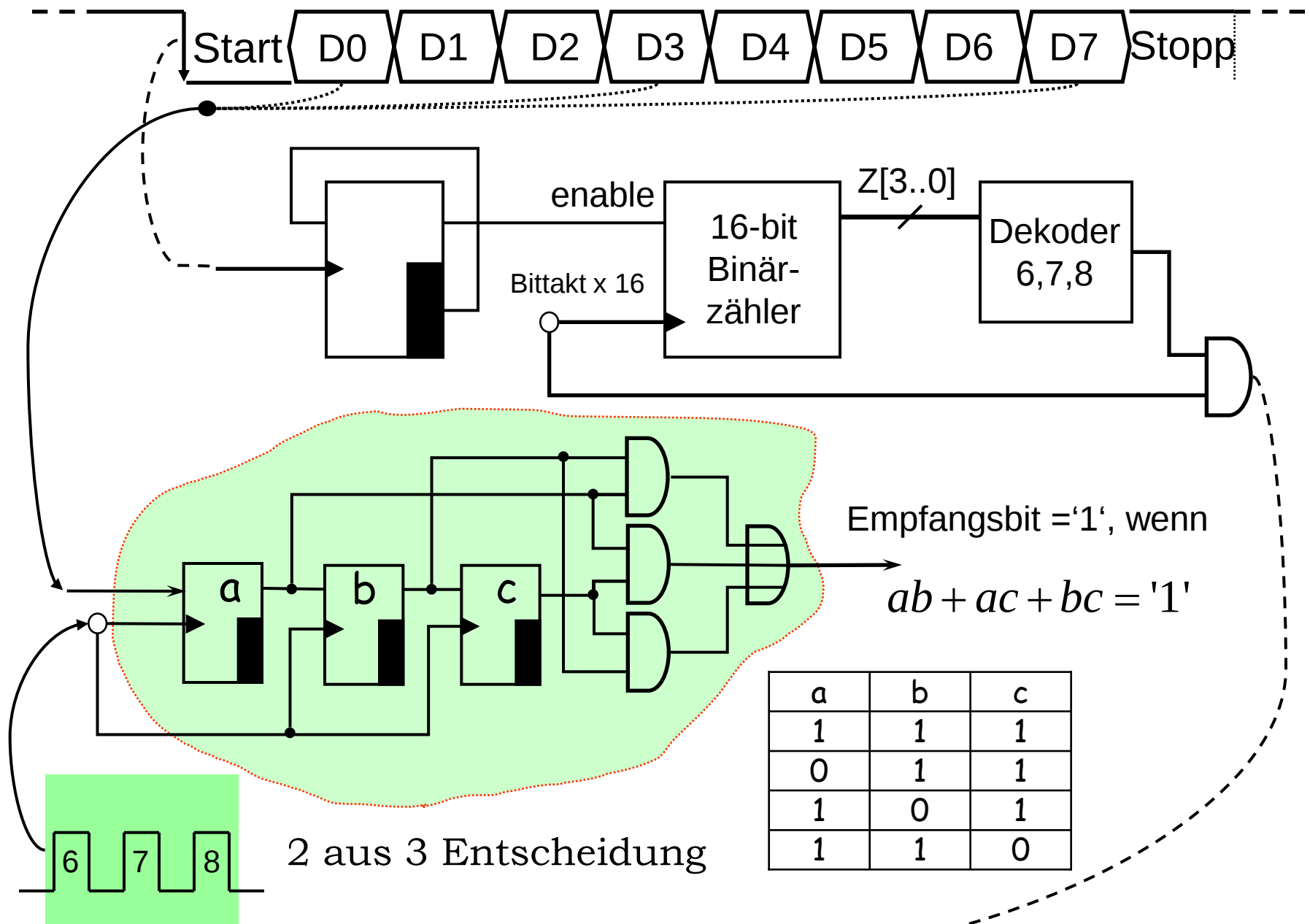


Start/Stop-Verfahren zur asynchronen seriellen Übertragung

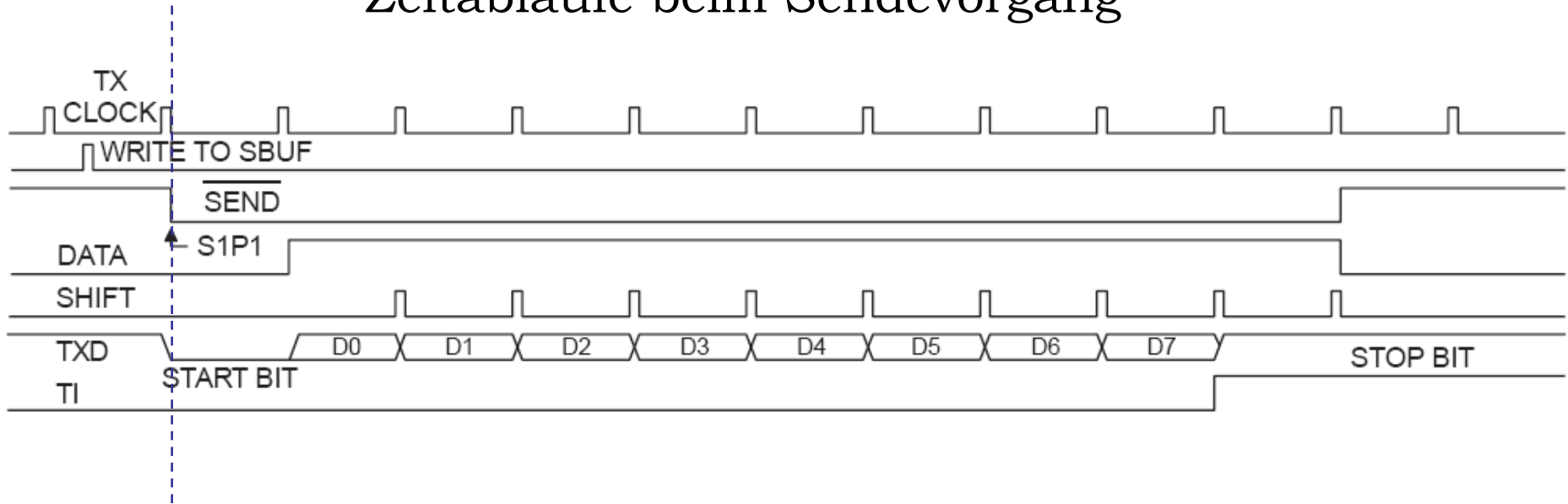


Basistakt: 16-facher Bittakt

weitere Hardwaredetails der 'sicheren' Bitdetektion

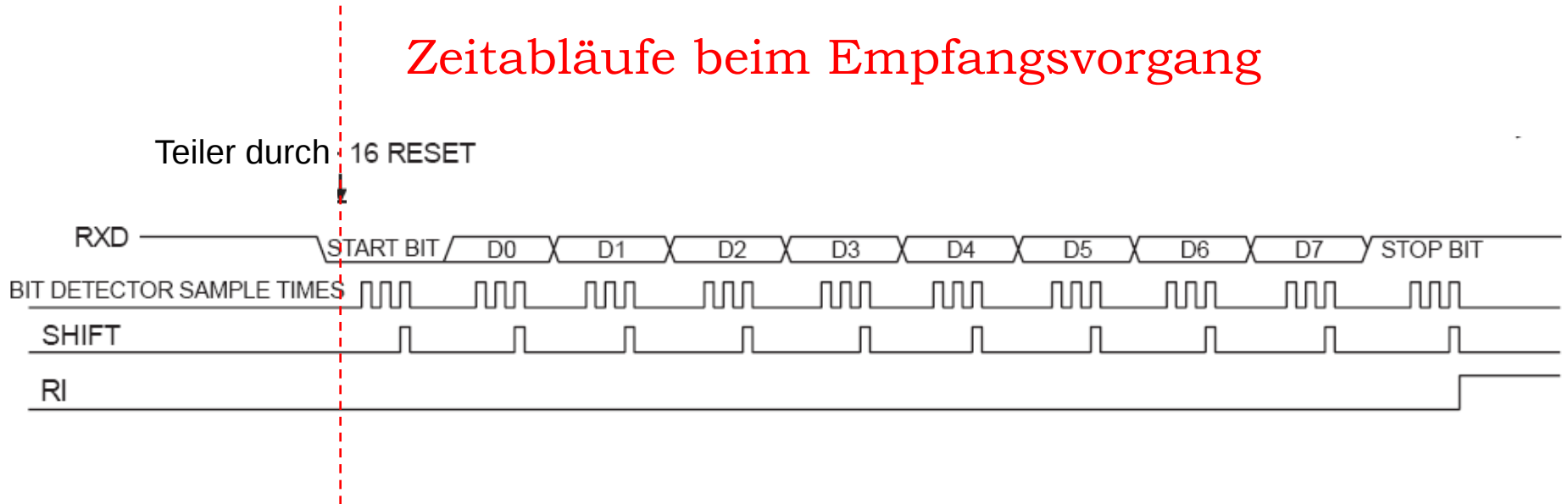


Zeitabläufe beim Sendevorgang

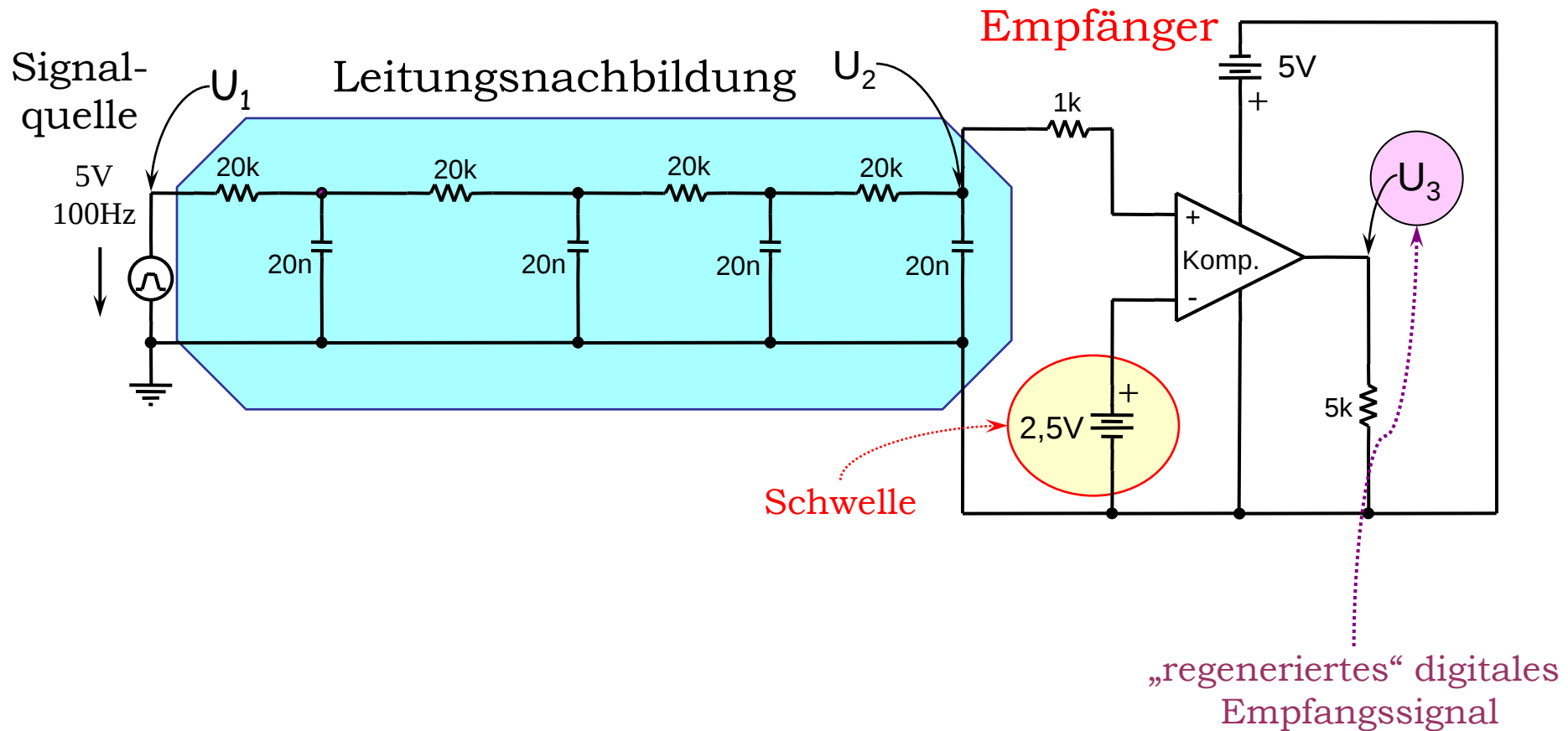


Zeitabläufe beim Empfangsvorgang

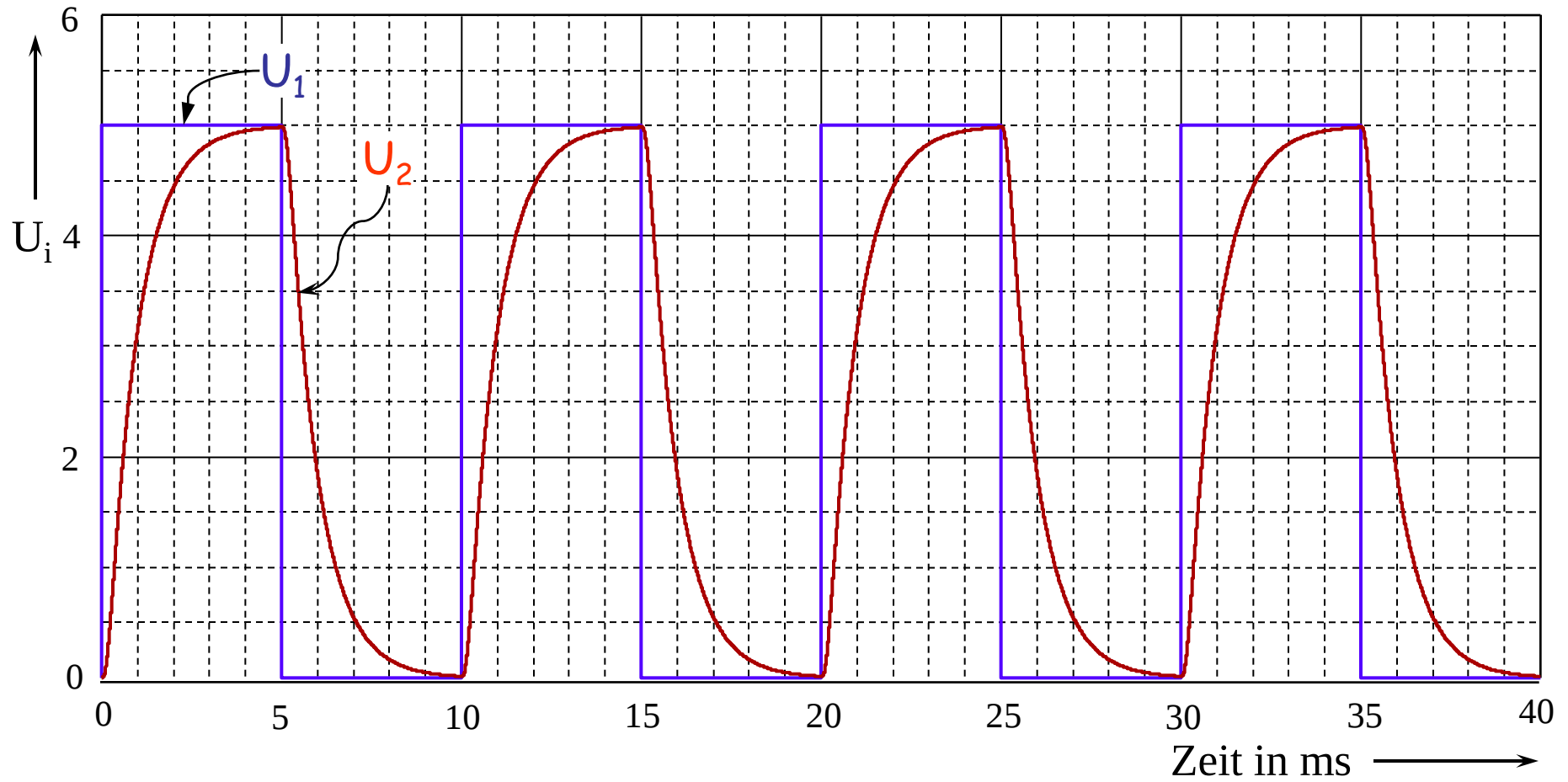
Teiler durch 16 RESET



Analyse einer seriellen Datenübertragung über eine Leitung

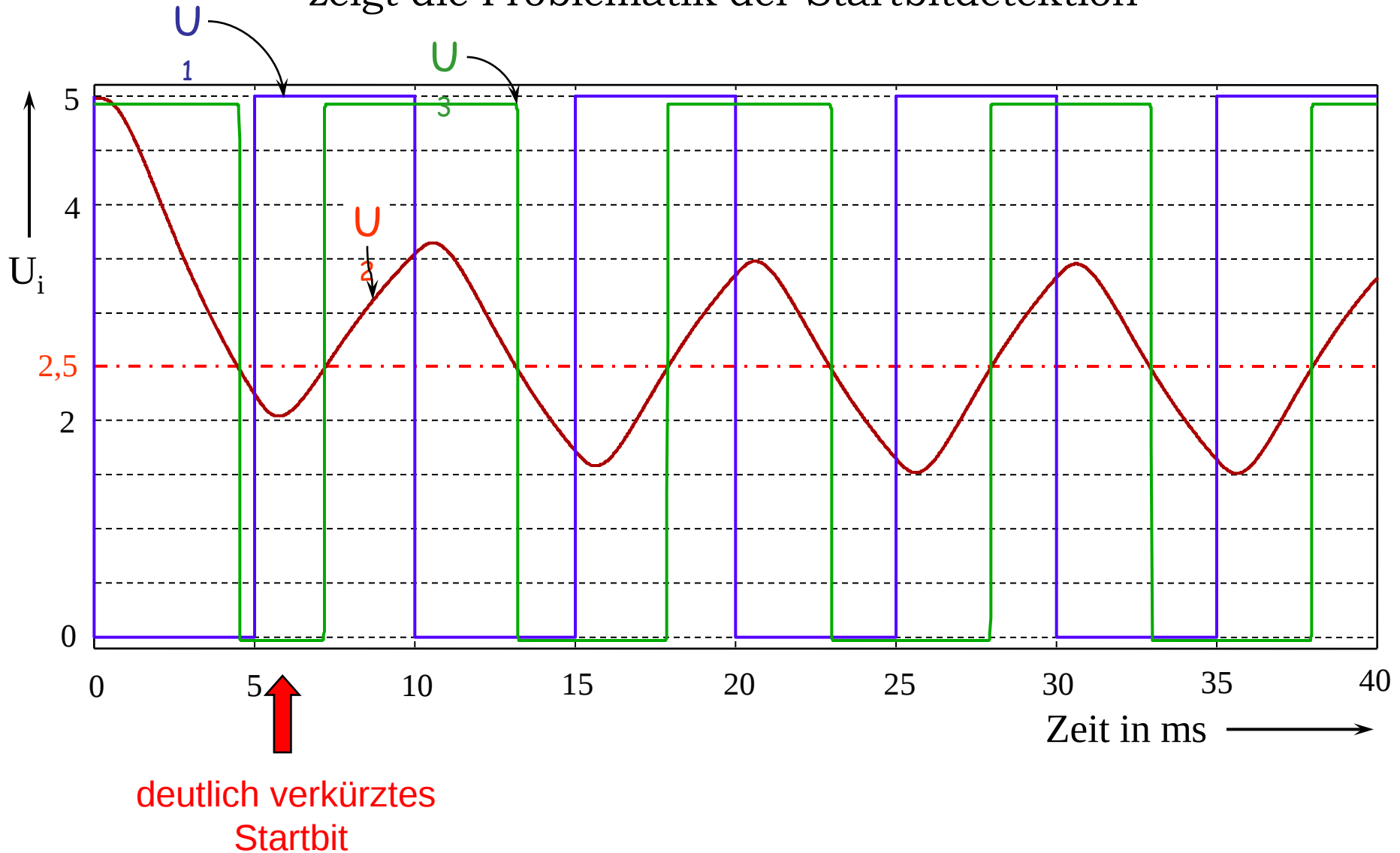


RC-Kette: 10k, 10nF

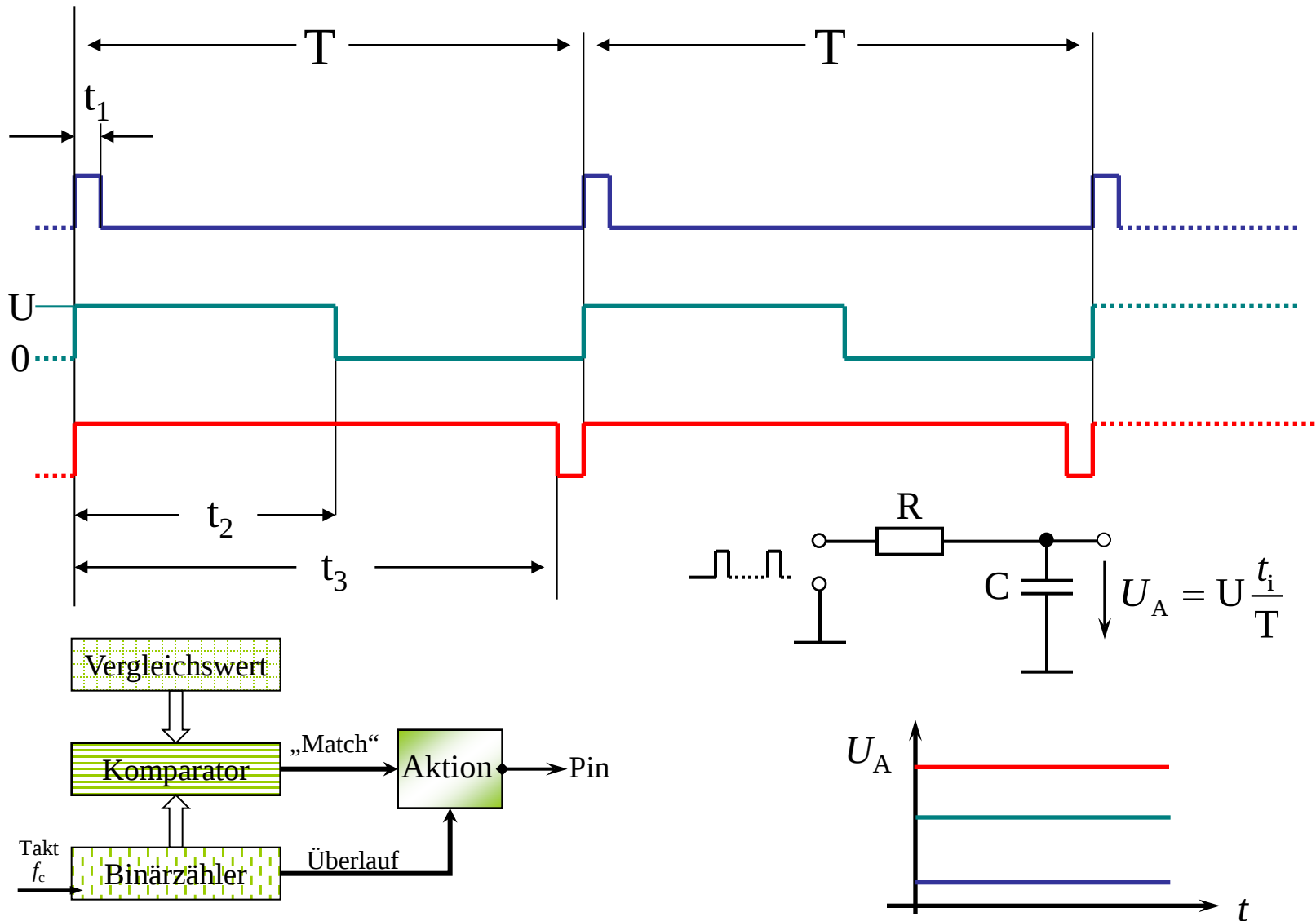


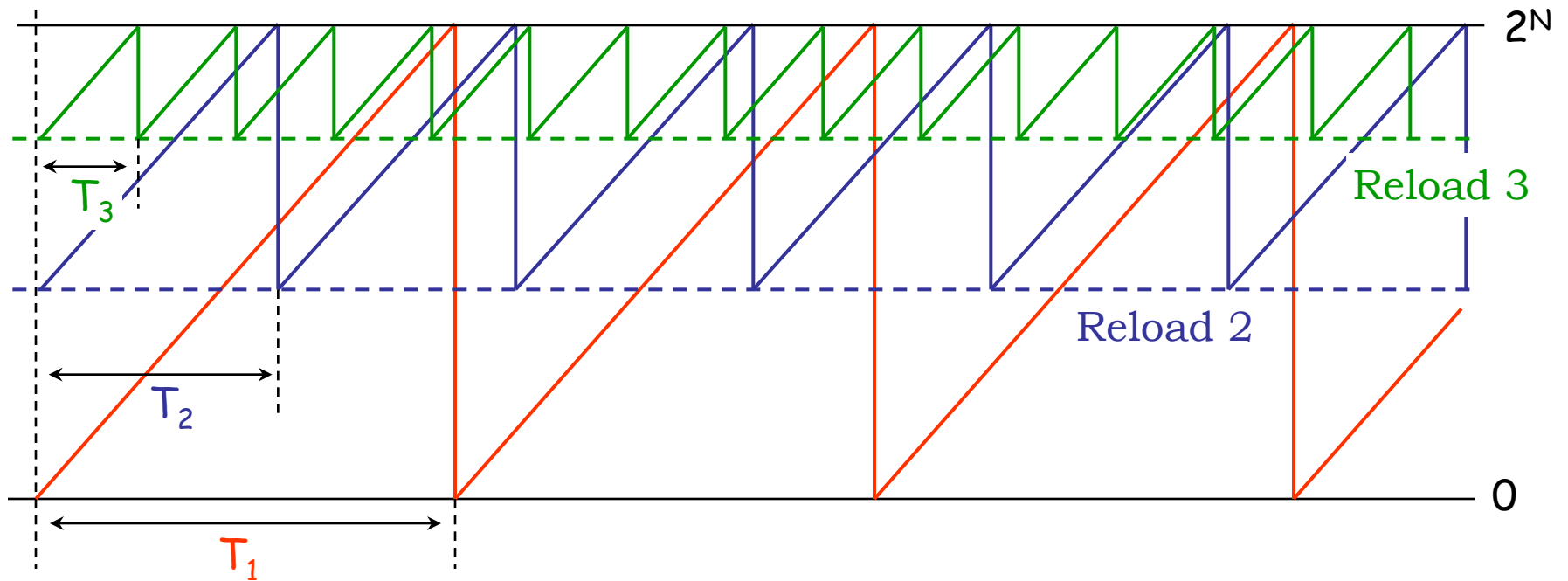
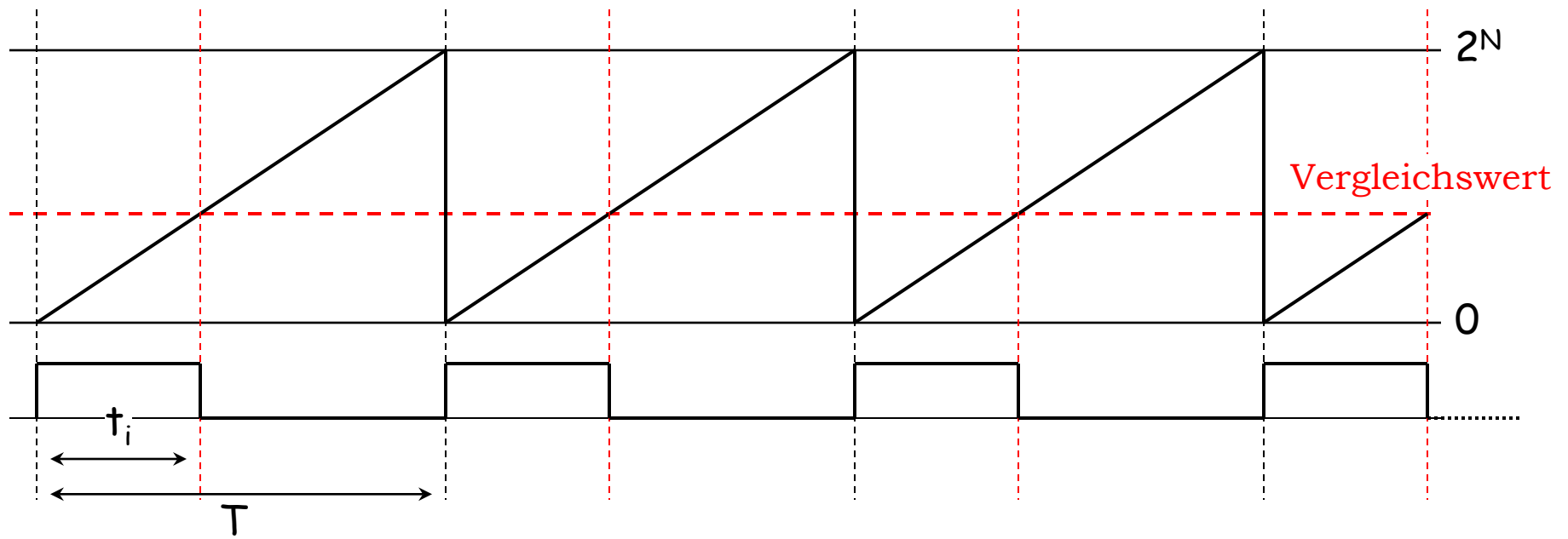
RC-Kette: 20k, 30nF, Detektion mit optimaler Schwelle von 2,5V

Schrittverzerrung am Anfang:
zeigt die Problematik der Startbitdetektion

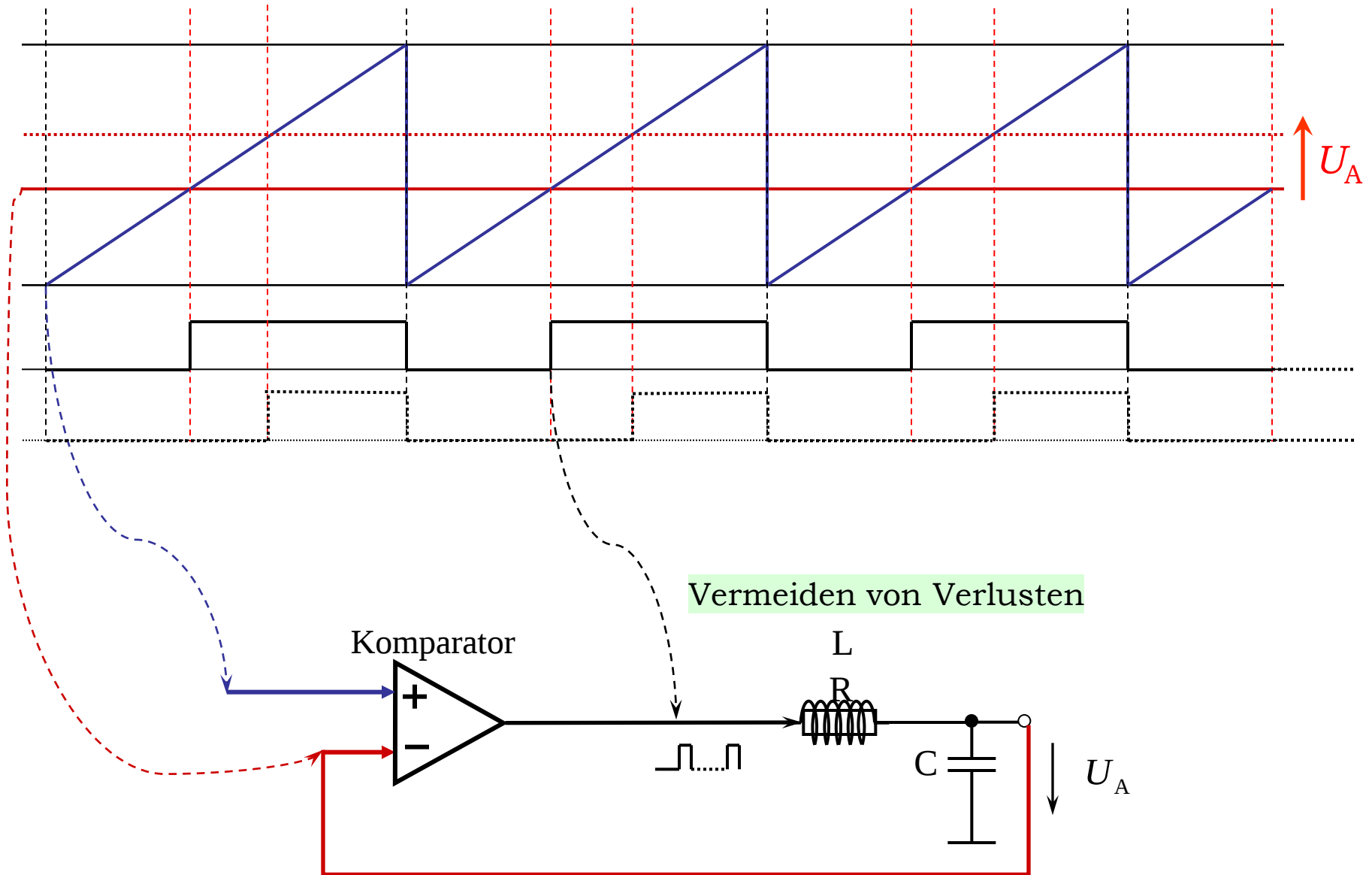


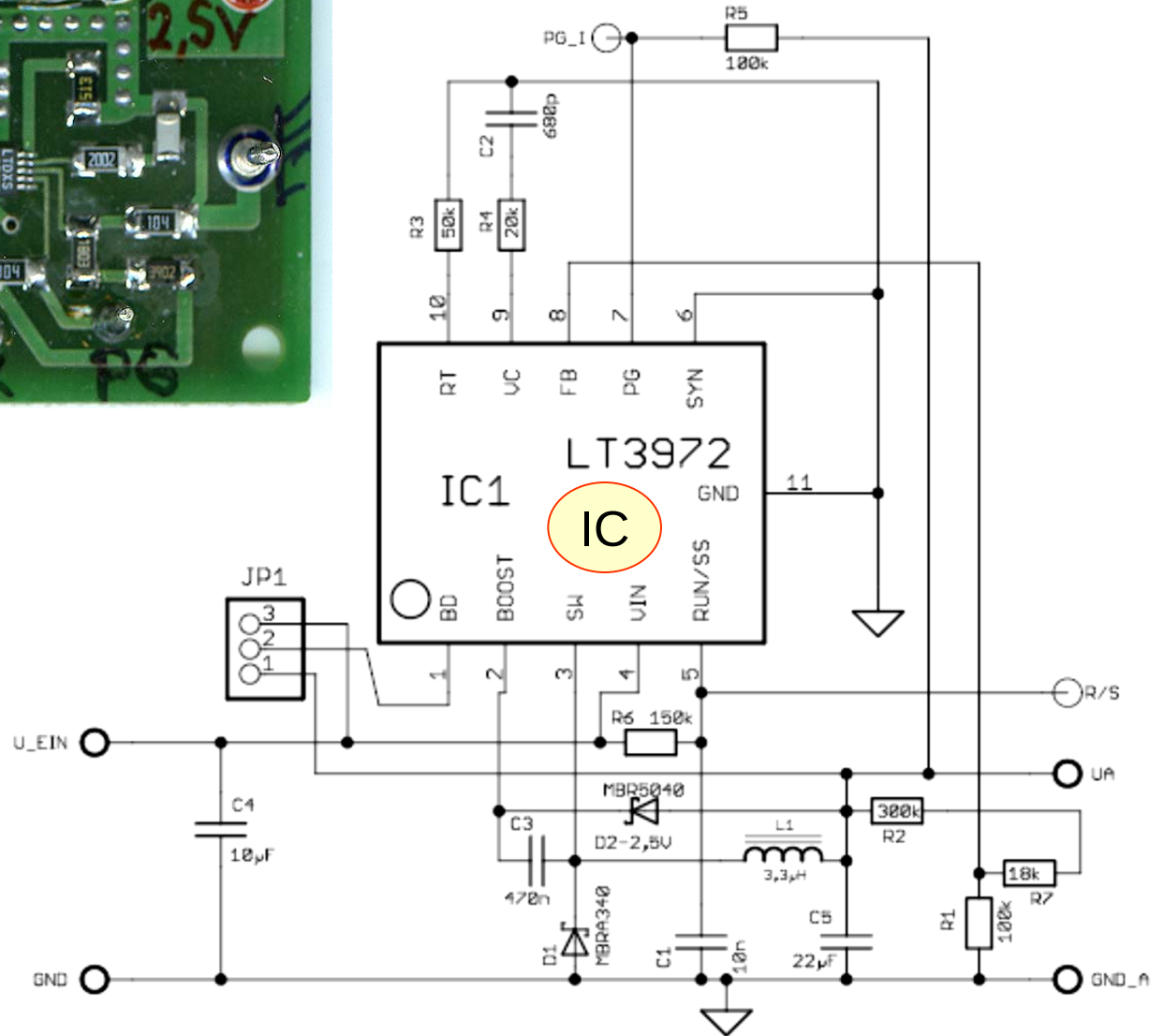
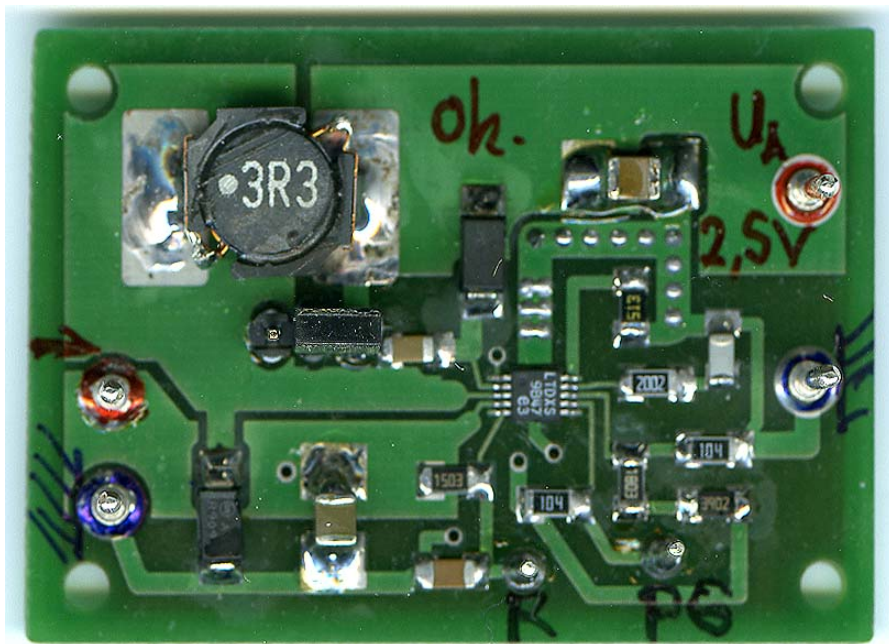
D/A-Wandlung mittels Pulsweitenmodulation



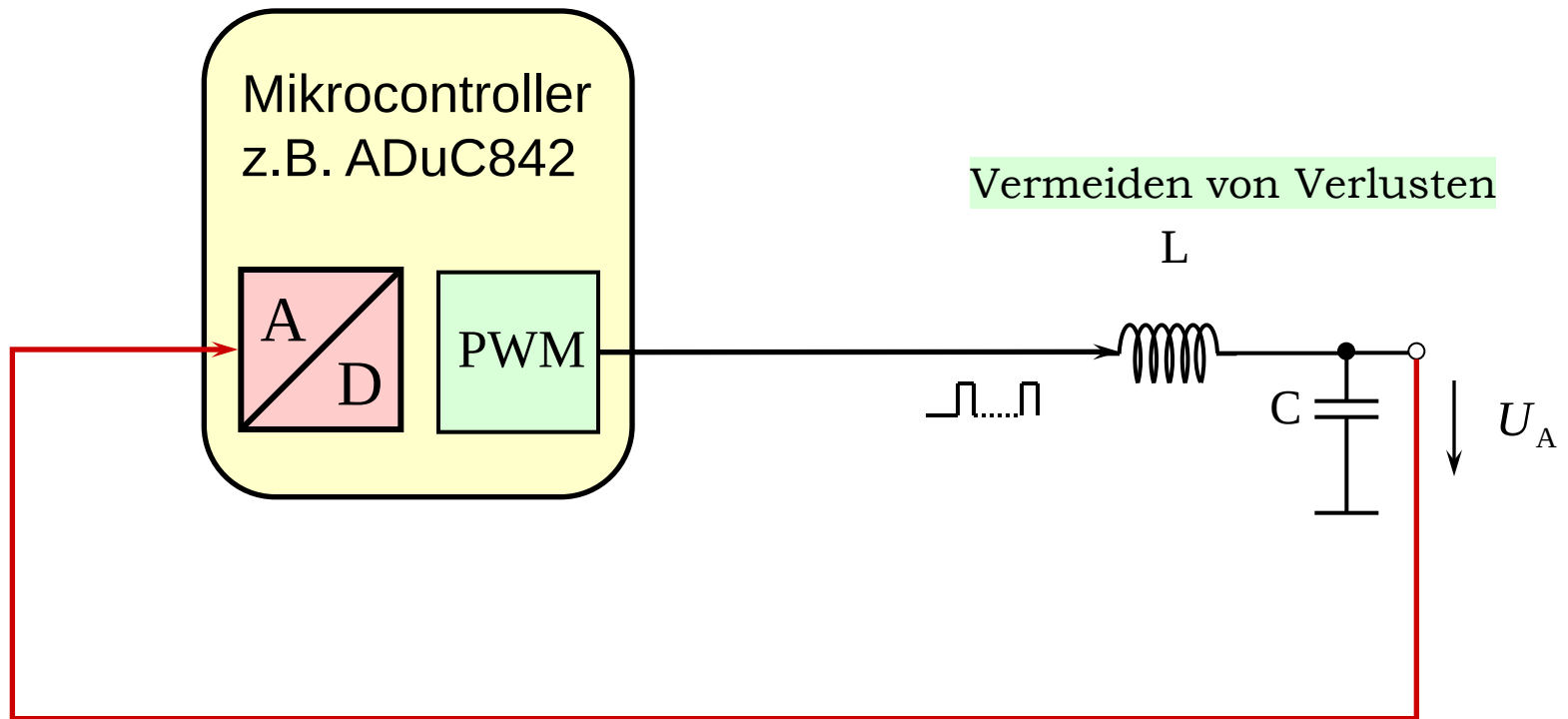


Prinzip eines analogen Schaltnetzteils mit PWM

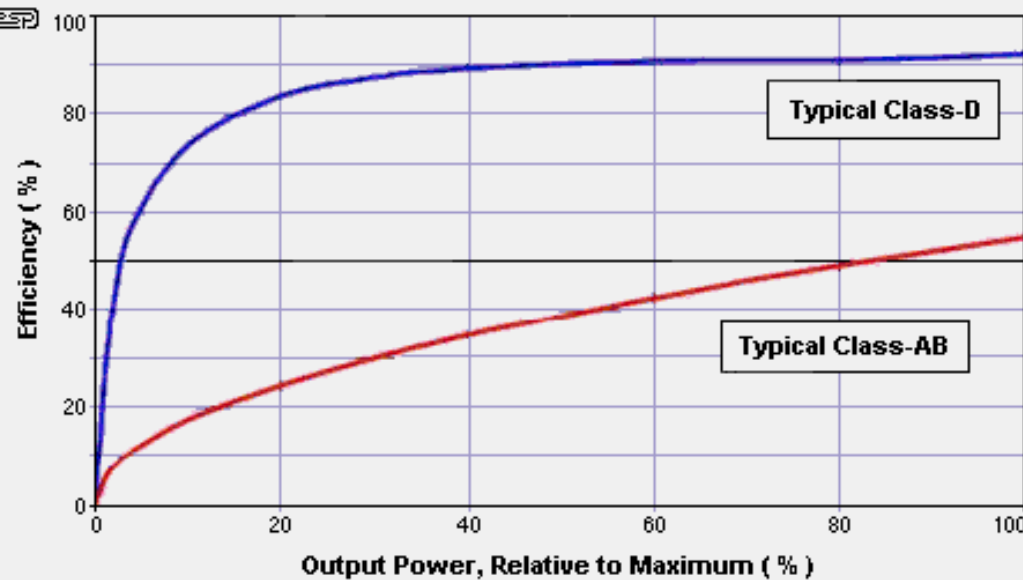
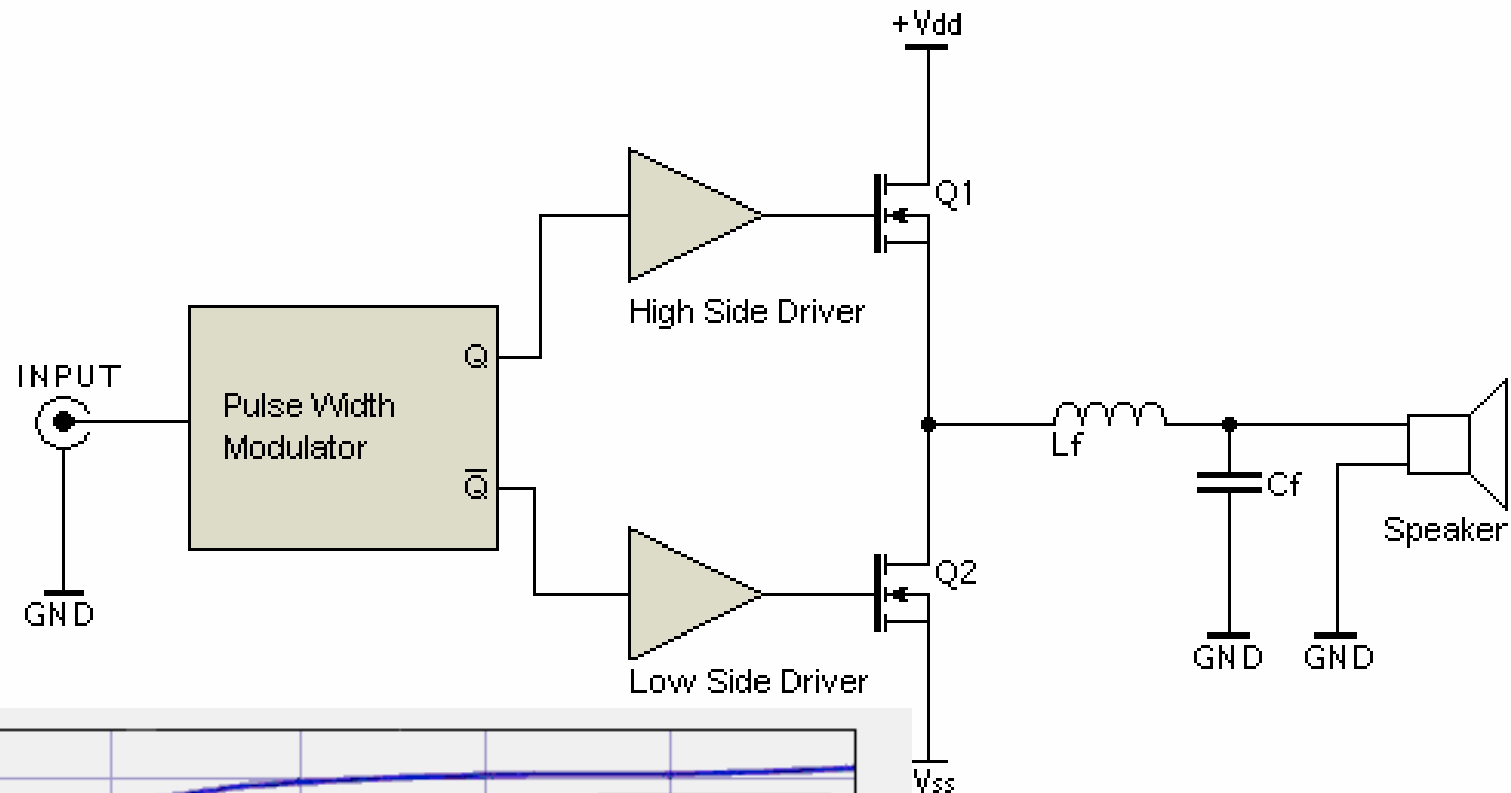




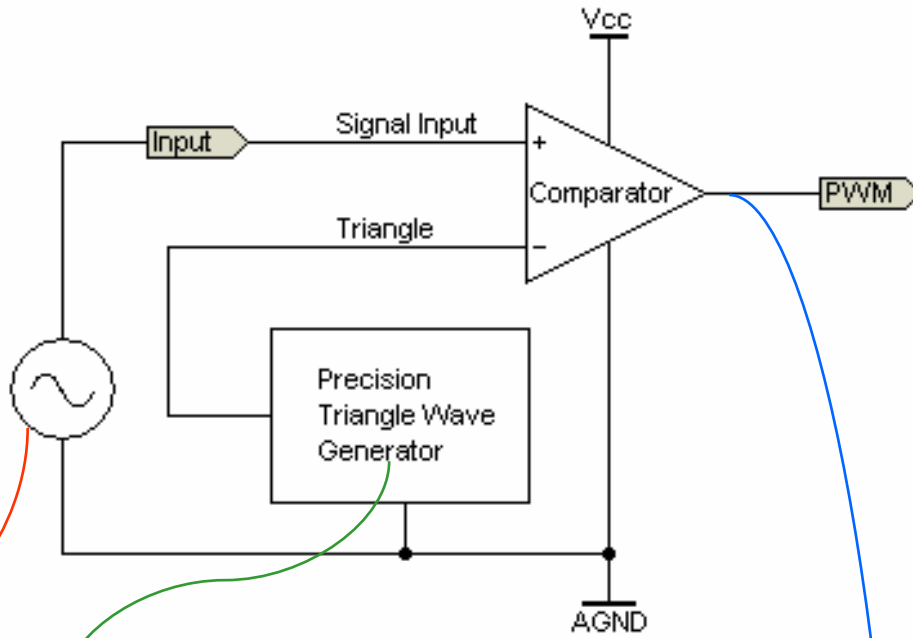
Prinzip des digitalen Schaltnetzteils mit PWM



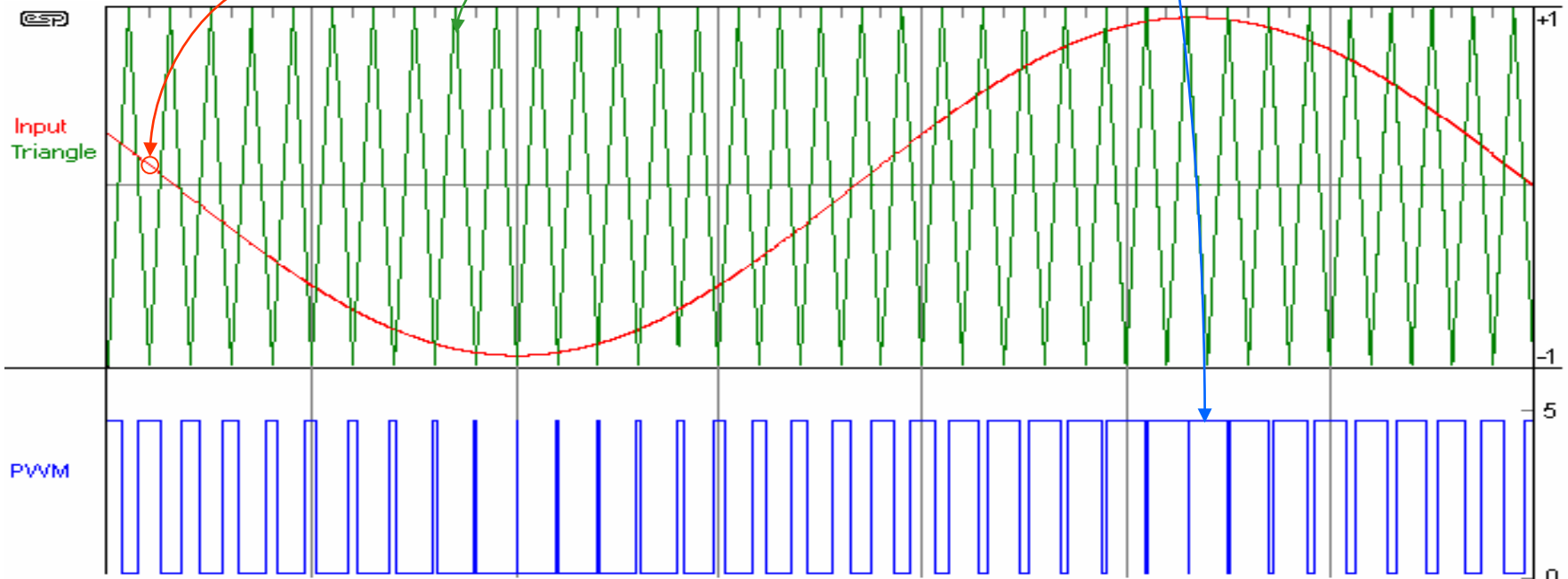
D-Audioendstufen nach dem PWM-Prinzip



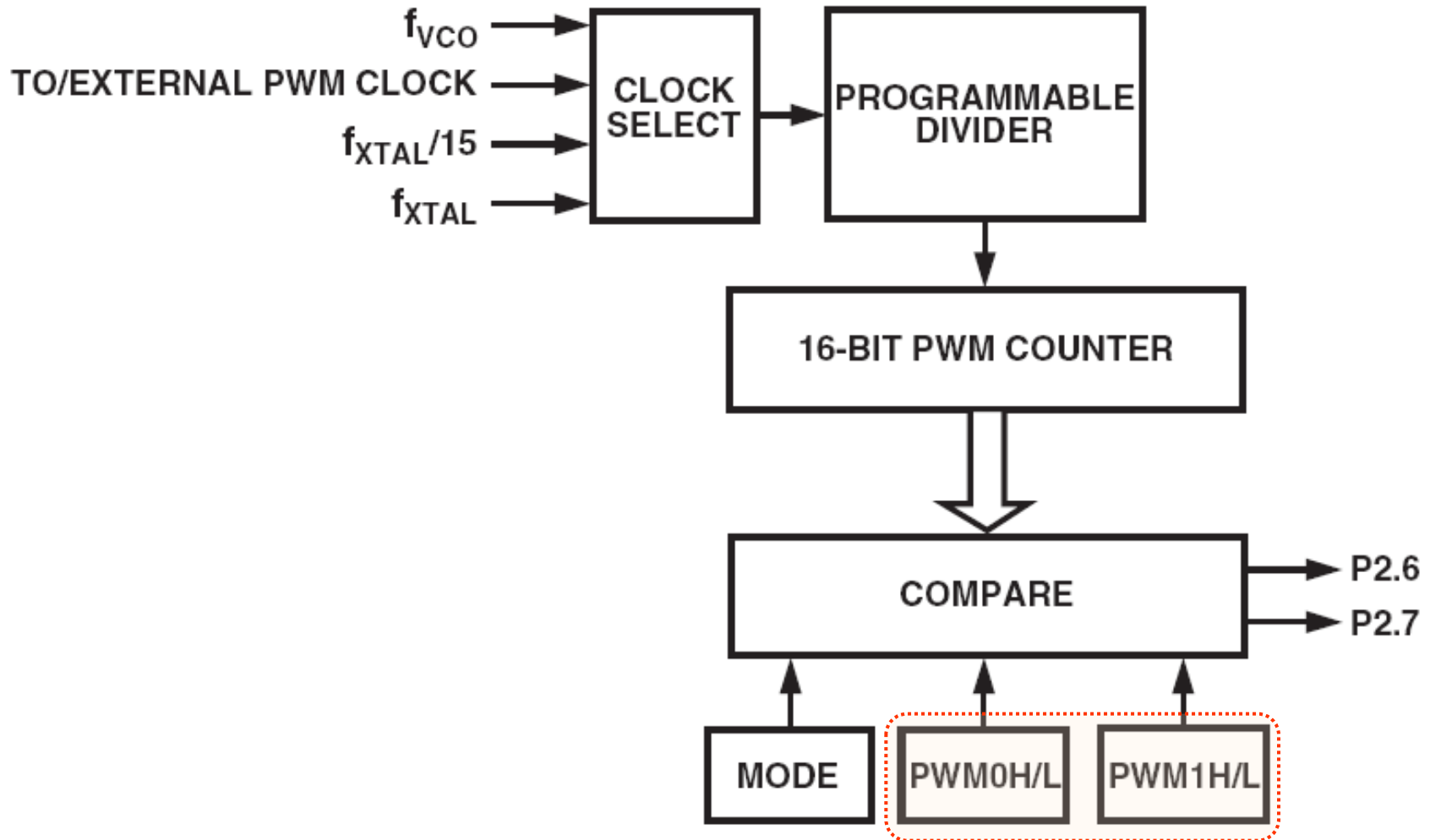
PWM für D-Audioendstufen



[=>D_END.pdf](#)
[=>ProSound.pdf](#)
[=>class_d.pdf](#)
[=>ADAU_1592](#)
[=>SSm3302](#)



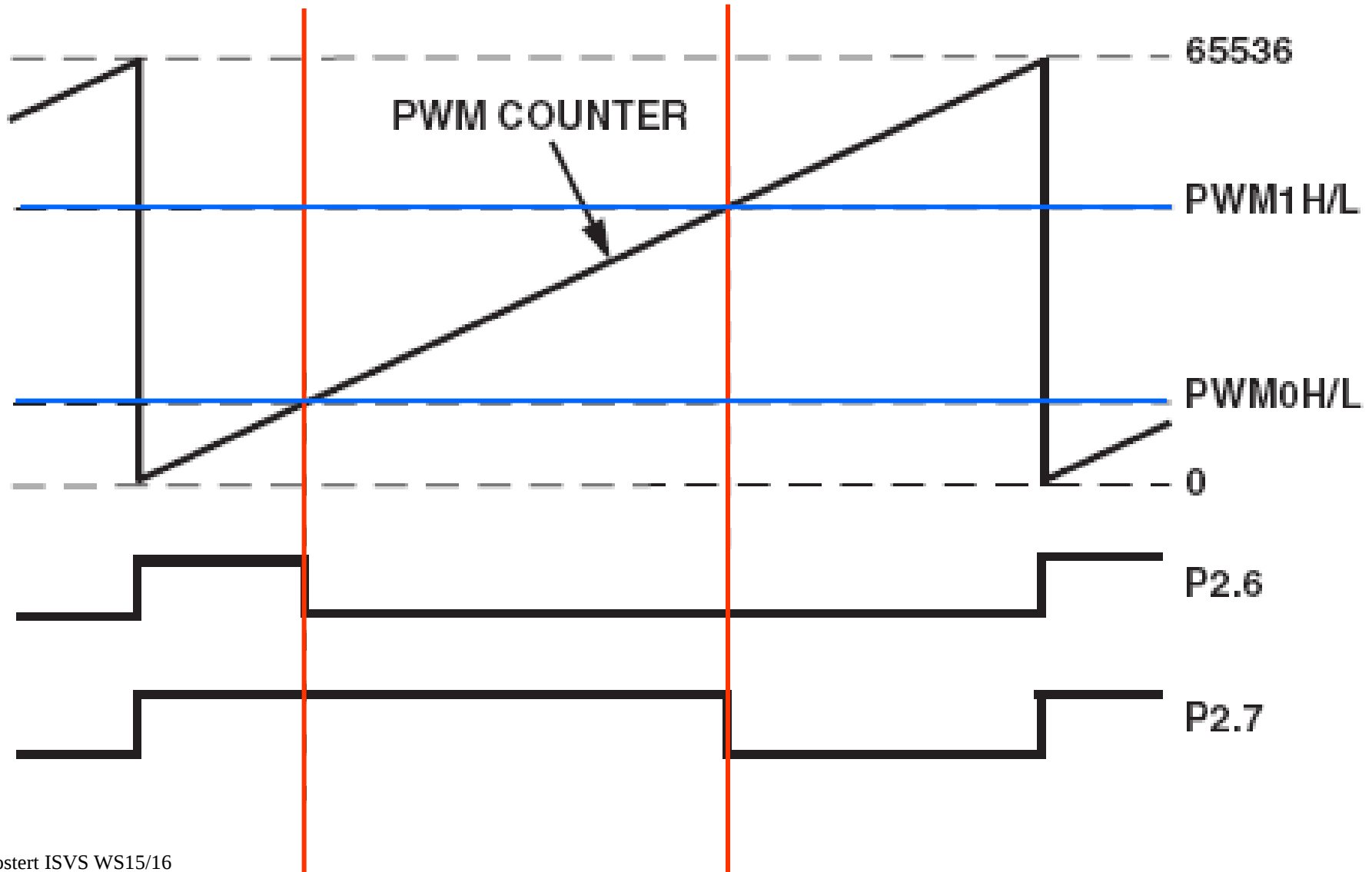
Erweiterte PWM-Strukturen in Mikroconvertern vom Typ ADuC8xx



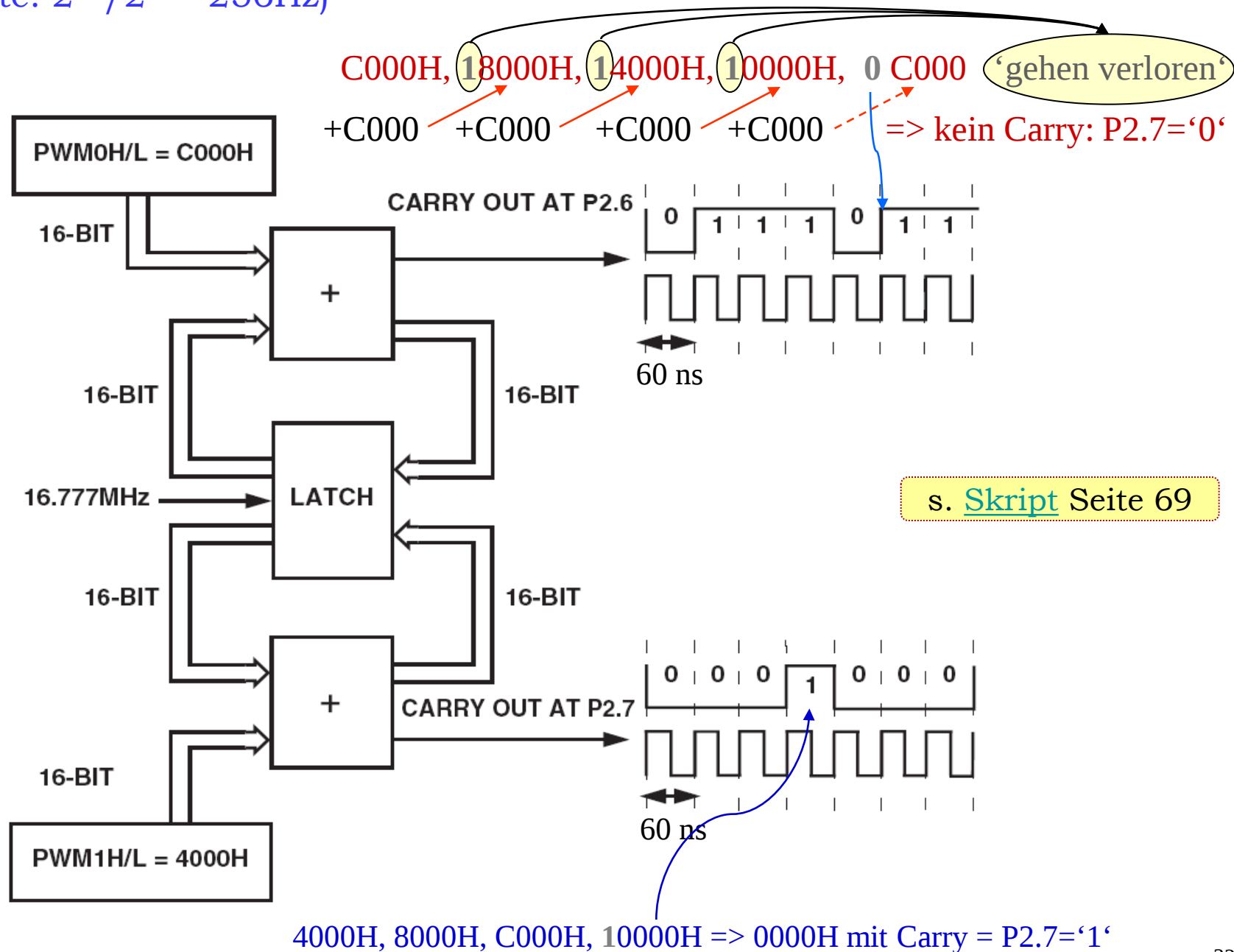
2 Vergleichswerte

Zweifach-PWM mit 16 bit Auflösung

- die beiden PWM-Ausgänge sind synchronisiert -



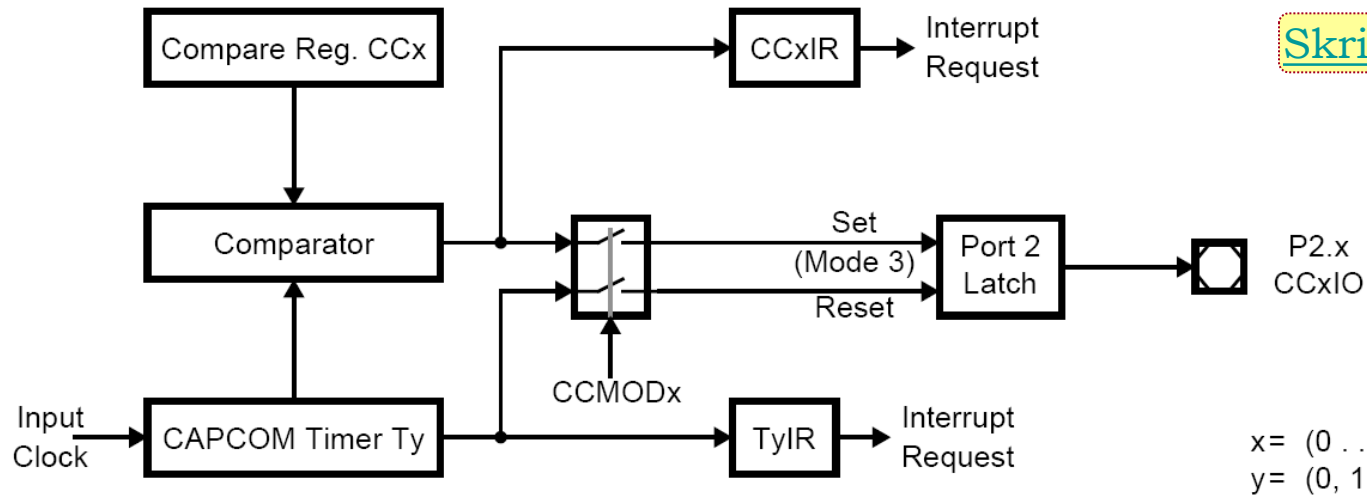
PWM mit 'Sigma-Delta-Prinzip' lange Periodendauer $1/256\text{Hz} \approx 3,9\text{ms}$ (Rate: $2^{24}/2^{16} = 256\text{Hz}$)



Merkmale der PWM-Struktur im 80C166:

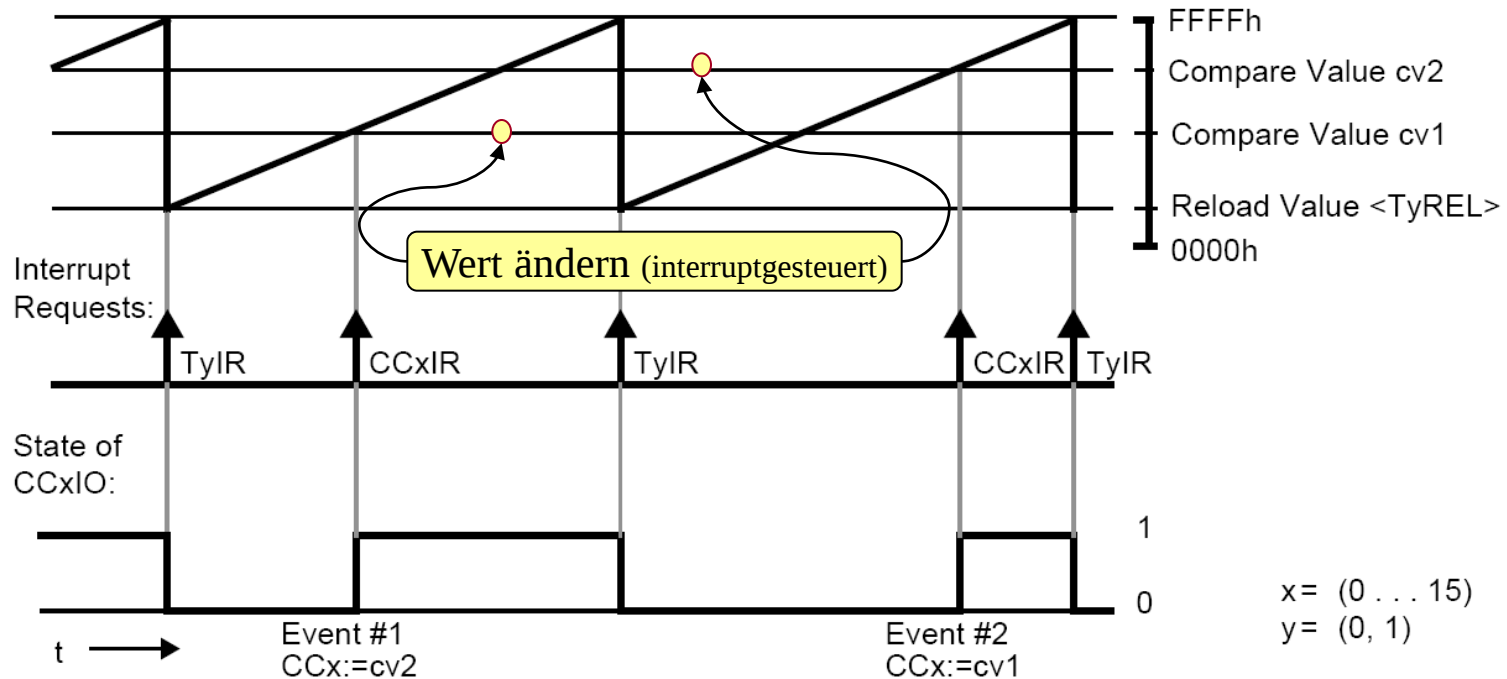
MODE 3 mit dynamisch veränderbarem Tastverhältnis (interruptgesteuert)

Skript S. 70-72



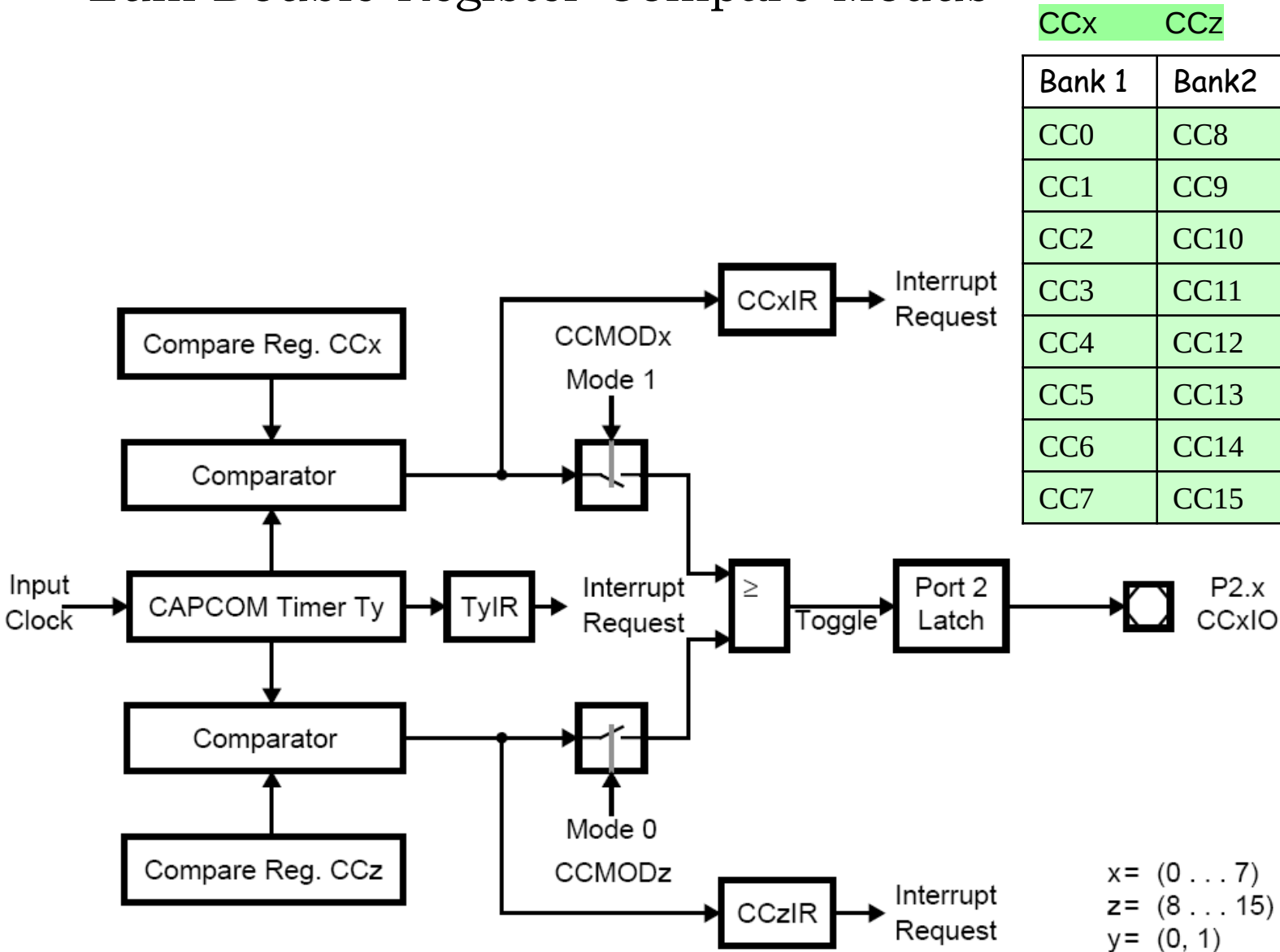
$x = (0 \dots 15)$
 $y = (0, 1)$

Contents of Ty



$x = (0 \dots 15)$
 $y = (0, 1)$

Zum Double-Register-Compare-Modus



Im Double-Register-Compare-Mode können, losgelöst von Timerüberläufen, bis zu 8 Impulsfolgen an den Pins 2.0...2.7 mit unterschiedlichem aber festem Tastverhältnis programmiert werden, die ohne Softwareeingriffe ablaufen.

- interruptgesteuert können die Tastverhältnisse dynamisch verändert werden -

Contents of Ty:

